

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-369517

(43)Date of publication of application : 20.12.2002

(51)Int.Cl.

H02M 3/28

(21)Application number : 2001-172789

(71)Applicant : MURATA MFG CO LTD

(22)Date of filing : 07.06.2001

(72)Inventor : NISHIDA AKIO

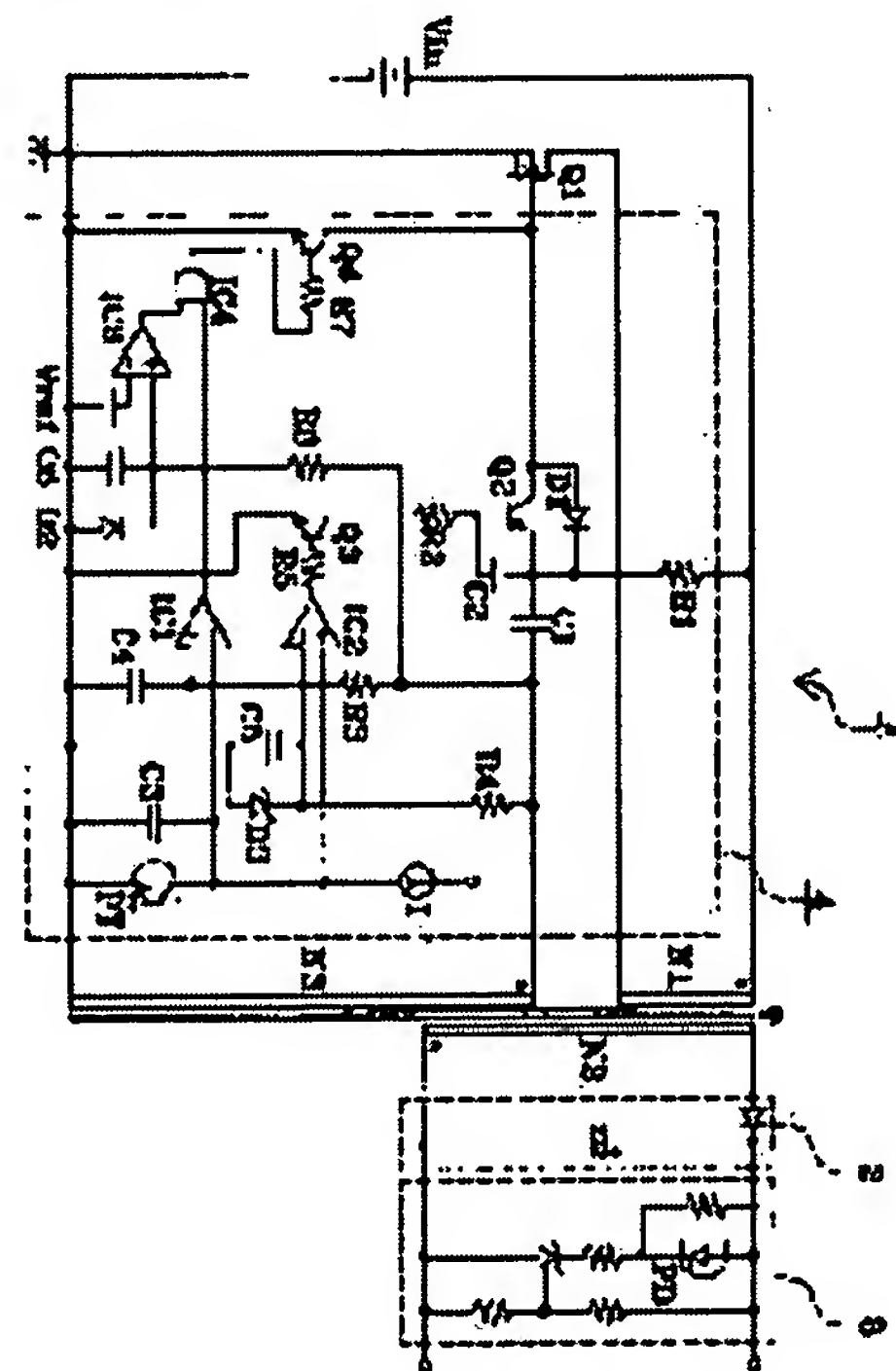
TAKEMURA HIROSHI

(54) SWITCHING POWER SUPPLY UNIT AND ELECTRONIC DEVICE USING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a switching power supply unit which has less switching loss under light load and which has no problems, such as intermittent oscillation and increased output ripples, and to provide electronic devices using the switching power supply unit.

SOLUTION: A control circuit 4, between a feedback winding N3 and a switching element Q1, is provided with an on-period control circuit which controls the on-period of the switching element Q1, based on feedback signals, so that the on-period becomes shorter, the load is made light in weight to make output voltage constant; a minimum on-period setting circuit which suppresses the operation of the on-period control circuit, so as to prevent the on-period of the switching element Q1 from being made shorter than the specified minimum on-period under light load; and an off-period control circuit which controls the off-period of the switching element Q1, so that the off-period is prolonged made, the lighter the load becomes light load. Thus, switching loss under light load is reduced. Furthermore, the occurrence of intermittent oscillation and increase in ripples are prevented under light load.



## LEGAL STATUS

[Date of request for examination]

25.11.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the  
examiner's decision of rejection or application  
converted registration]

[Date of final disposal for application]

[Patent number] 3548889

[Date of registration] 30.04.2004

[Number of appeal against examiner's decision of  
rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-369517

(43)Date of publication of application : 20.12.2002

---

(51)Int.Cl. H02M 3/28

---

(21)Application number : 2001- (71)Applicant : MURATA MFG CO LTD  
172789

(22)Date of filing : 07.06.2001 (72)Inventor : NISHIDA AKIO  
TAKEMURA HIROSHI

---

(54) SWITCHING POWER SUPPLY UNIT AND ELECTRONIC DEVICE USING  
THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a switching power supply unit which has less switching loss under light load and which has no problems, such as intermittent oscillation and increased output ripples, and to provide electronic devices using the switching power supply unit.

SOLUTION: A control circuit 4, between a feedback winding N3 and a switching element Q1, is provided with an on-period control circuit which controls the on-period of the switching element Q1, based on feedback signals, so that the on-period becomes shortens, the load is made light in weight to make output voltage constant; a minimum on-period setting circuit which suppresses the operation of the on-period control circuit, so as to prevent the on-period of the switching element Q1 from being made shorter than the specified minimum on-period

under light load; and an off-period control circuit which controls the off-period of the switching element Q1, so that the off-period is prolonged made, the lighter the load becomes light load. Thus, switching loss under light load is reduced. Furthermore, the occurrence of intermittent oscillation and increase in ripples are prevented under light load.

---

## LEGAL STATUS

[Date of request for examination] 25.11.2002

[Date of sending the examiner's  
decision of rejection]

[Kind of final disposal of application  
other than the examiner's decision of  
rejection or application converted  
registration]

[Date of final disposal for application]

[Patent number] 3548889

[Date of registration] 30.04.2004

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

\* NOTICES \*

JPO and NCIP are not responsible for any  
damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

## CLAIMS

---

[Claim(s)]

[Claim 1] The transformer which has a primary winding, a secondary winding, and a feedback winding, and the switching element connected to said primary winding at the serial, The control circuit connected between said feedback windings and control terminals of said switching element, The rectification smoothing circuit which carries out rectification smooth [ of the electrical potential difference which connects with said secondary winding and is generated in said secondary winding ], and outputs it, In switching power supply equipment equipped with the output voltage detecting circuit which detects the electrical potential difference outputted from this rectification smoothing circuit, and outputs the feedback signal over said control circuit Switching power supply equipment characterized by controlling a "on" period in the larger range than the predetermined minimum "on" period at the time of a non-light load, and for said control circuit fixing a "on" period to the minimum "on" period at the time of a light load, and controlling a "off" period so that output voltage becomes fixed based on said feedback signal.

[Claim 2] The transformer which has a primary winding, a secondary winding, and a feedback winding, and the switching element connected to said primary winding at the serial, The control circuit connected between said feedback windings and control terminals of said switching element, The rectification smoothing circuit which carries out rectification smooth [ of the electrical potential difference which connects with said secondary winding and is generated in said secondary winding ], and outputs it, In switching power supply equipment

equipped with the output voltage detecting circuit which detects the electrical potential difference outputted from this rectification smoothing circuit, and outputs the feedback signal over said control circuit Said control circuit so that output voltage may become fixed based on said feedback signal The "on" period control circuit which controls the "on" period of said switching element to become so short that a load become light at the time of a non-light load, The minimum "on" period setting circuit which controls turn-off actuation of said switching element by said "on" period control circuit so that the "on" period of said switching element may not become shorter than the predetermined minimum "on" period at the time of a light load, Switching power supply equipment characterized by having the "off" period control circuit which controls the "off" period of said switching element to become so long that a load become light when said minimum "on" period setting circuit has controlled actuation of said "on" period control circuit at the time of a light load.

[Claim 3] Switching power supply equipment according to claim 2 characterized by operating in current criticality mode at the time of a non-light load.

[Claim 4] While said "on" period control circuit charges or discharges to the "on" period of said switching element It has the 1st capacitor by which the timing of the turn-off of said switching element is determined when the electrical potential difference determined by said feedback signal is in agreement or the both-ends electrical potential difference intersects it. While said minimum "on" period setting circuit charges or discharges to the "on" period of said switching element It has the 2nd capacitor which controls the turn-off of said switching element by said "on" period control circuit until the both-ends electrical potential difference is in agreement or intersects reference voltage. While said "off" period control circuit charges or discharges at the "off" period of said switching element Switching power supply equipment according to claim 2 or 3 characterized by having the 3rd capacitor by which the timing of the turn-on of said switching element is determined when the electrical potential difference determined by said feedback signal is in agreement or the both-ends electrical potential difference intersects it.



[Claim 5] Switching power supply equipment according to claim 4 characterized by said 1st capacitor serving as said 3rd capacitor.

[Claim 6] Switching power supply equipment according to claim 4 characterized by said 1st capacitor serving as said 2nd and 3rd capacitors.

[Claim 7] When it is in agreement or crosses from the electrical potential difference and one direction where the both-ends electrical potential difference of said 1st capacitor is determined by said feedback signal while said "on" period control circuit is operating, the timing of the turn-off of said switching element is determined. When said minimum "on" period setting circuit has controlled actuation of said "on" period control circuit Switching power supply equipment according to claim 5 or 6 characterized by determining the timing of the turn-on of said switching element when the both-ends electrical potential difference of said 1st capacitor is in agreement or crosses from the electrical potential difference determined by said feedback signal, and hard flow.

[Claim 8] Said minimum "on" period setting circuit is switching power supply equipment according to claim 4 to 7 which is contained in said "on" period control circuit, and is characterized by being a means only for a fixed period to control actuation of said "on" period control circuit from the turn-on of said switching element, and to forbid the turn-off of said switching element at the time of a light load.

[Claim 9] Said minimum "on" period setting circuit is switching power supply equipment according to claim 8 characterized by forbidding the turn-off of said switching element until it discharges said 1st capacitor at the time of the turn-on of said switching element and the electrical potential difference of said 1st capacitor intersects [ a predetermined electrical potential difference is in agreement or ] it by subsequent charge.

[Claim 10] The electronic instrument characterized by using switching power supply equipment according to claim 1 to 9.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the electronic instrument which used switching power supply equipment and it especially the switching power supply equipment which aimed at loss reduction at the time of a light load, and the electronic instrument using it.

[0002]

[Description of the Prior Art] In switching power supply equipment, for example, the switching power supply equipment of a RCC method, there is a property in which a switching frequency changes according to the gravity of a load. That is, a switching frequency falls, and since the ON time amount and off time amount of a switching element become short at both the times of a light load since the ON time amount and off time amount of a switching element become long at both the times of heavy loading, a switching frequency rises. Although various loss occurs in switching power supply equipment, there is a thing called the switching loss generated for every switching in a switching element also in it. Since it generates for every switching, switching loss has the problem of switching loss becoming large if a frequency rises at the time of a light load, and becoming the main things of loss of the switching power supply equipment at the time of a light load.



Moreover, when a load becomes very light, there is also a problem that an intermittent oscillation occurs, an output ripple increases or an allophone occurs. [0003] Then, in order to suppress the rise of the switching frequency at the time of a light load, the switching power supply equipment which reduces the count of the switching to the time of a light load is indicated by JP,2001-16849,A. Here, when the minimum ON time amount of a switching element is set up, a load becomes light and output voltage rises, the signal to which the turn-on of the switching element tends to be carried out was masked, and the turn-on is controlled so that the ON time amount of a switching element may not become shorter than the minimum ON time amount. By this, the count of switching at the time of a light load is reduced, and reduction of switching loss is aimed at.

[0004]

[Problem(s) to be Solved by the Invention] However, in the switching power supply equipment indicated by JP,2001-16849,A, since it is the technique to which the turn-on of the signal to which the turn-on of the switching element tends to be carried out is not masked and carried out only when output voltage is beyond the set point, the "off" period or frequency of a switching element are not necessarily regularity in a static load. Therefore, neither increase of an output ripple nor the problem of an allophone necessarily improves.

[0005] For the purpose of solving the above-mentioned trouble, this invention has little switching loss at the time of a light load, and offers the switching power supply equipment which the problem of an intermittent oscillation or increase of an output ripple does not generate, and the electronic instrument using it.

[0006]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, the switching power supply equipment of this invention The transformer which has a primary winding, a secondary winding, and a feedback winding, and the switching element connected to said primary winding at the serial, The control circuit connected between said feedback windings and control terminals of said switching element, The rectification smoothing circuit which carries out

rectification smooth [ of the electrical potential difference which connects with said secondary winding and is generated in said secondary winding ], and outputs it, In switching power supply equipment equipped with the output voltage detecting circuit which detects the electrical potential difference outputted from this rectification smoothing circuit, and outputs the feedback signal over said control circuit Said control circuit is characterized by controlling a "on" period in the larger range than the predetermined minimum "on" period at the time of a non-light load, fixing a "on" period to the minimum "on" period at the time of a light load, and controlling a "off" period so that output voltage may become fixed based on said feedback signal.

[0007] Moreover, the transformer by which the switching power supply equipment of this invention has a primary winding, a secondary winding, and a feedback winding, The control circuit connected between the switching element connected to said primary winding at the serial, and said feedback winding and control terminal of said switching element, The rectification smoothing circuit which carries out rectification smooth [ of the electrical potential difference which connects with said secondary winding and is generated in said secondary winding ], and outputs it, In switching power supply equipment equipped with the output voltage detecting circuit which detects the electrical potential difference outputted from this rectification smoothing circuit, and outputs the feedback signal over said control circuit Said control circuit so that output voltage may become fixed based on said feedback signal The "on" period control circuit which controls the "on" period of said switching element to become so short that a load become light at the time of a non-light load, The minimum "on" period setting circuit which controls turn-off actuation of said switching element by said "on" period control circuit so that the "on" period of said switching element may not become shorter than the predetermined minimum "on" period at the time of a light load, When said minimum "on" period setting circuit has controlled actuation of said "on" period control circuit at the time of a light load, it is characterized by having the "off" period control circuit which controls the "off" period of said

switching element to become so long that a load become light.

[0008] Moreover, the switching power supply equipment of this invention is characterized by operating in current criticality mode at the time of a non-light load.

[0009] Moreover, while the switching power supply equipment of this invention charges or discharges to the "on" period of said switching element, said "on" period control circuit It has the 1st capacitor by which the timing of the turn-off of said switching element is determined when the electrical potential difference determined by said feedback signal is in agreement or the both-ends electrical potential difference intersects it. While charging or discharging to the "on" period of said switching element, said minimum "on" period setting circuit It has the 2nd capacitor which controls the turn-off of said switching element by said "on" period control circuit until the both-ends electrical potential difference is in agreement or intersects reference voltage. While charging or discharging at the "off" period of said switching element, said "off" period control circuit When the electrical potential difference determined by said feedback signal is in agreement or the both-ends electrical potential difference intersects it, it is characterized by having the 3rd capacitor by which the timing of the turn-on of said switching element is determined.

[0010] Moreover, the switching power supply equipment of this invention is characterized by said 1st capacitor serving as said 3rd capacitor.

[0011] Moreover, the switching power supply equipment of this invention is characterized by said 1st capacitor serving as said 2nd and 3rd capacitors.

[0012] Moreover, while said "on" period control circuit is operating, the switching power supply equipment of this invention When the both-ends electrical potential difference of said 1st capacitor is in agreement or crosses from the electrical potential difference determined by said feedback signal, and an one direction, the timing of the turn-off of said switching element is determined. When said minimum "on" period setting circuit has controlled actuation of said "on" period control circuit When the both-ends electrical potential difference of said 1st

capacitor is in agreement or crosses from the electrical potential difference determined by said feedback signal, and hard flow, it is characterized by determining the timing of the turn-on of said switching element.

[0013] Moreover, it is characterized by being a means for said minimum "on" period setting circuit to be included in said "on" period control circuit, and, as for the switching power supply equipment of this invention, only for a fixed period to control actuation of said "on" period control circuit from the turn-on of said switching element at the time of a light load, and to forbid the turn-off of said switching element.

[0014] Moreover, the switching power supply equipment of this invention is characterized by forbidding the turn-off of said switching element until said minimum "on" period setting circuit discharges said 1st capacitor at the time of the turn-on of said switching element and the electrical potential difference of said 1st capacitor intersects [ a predetermined electrical potential difference is in agreement or ] it by subsequent charge.

[0015] Moreover, the electronic instrument of this invention is characterized by using above switching power supply equipment.

[0016] Thus, by constituting, reduction of the switching loss at the time of a light load can be aimed at in the switching power supply equipment of this invention. Moreover, generating of the intermittent oscillation at the time of a light load and increase of a ripple can be prevented.

[0017] Moreover, in the electronic instrument of this invention, improvement in the effectiveness at the time of standby can be aimed at.

[0018]

[Embodiment of the Invention] The circuit diagram of one example of the switching power supply equipment of this invention is shown in drawing 1 . The transformer T by which switching power supply equipment 1 has a primary winding N1, a secondary winding N2, and a feedback winding N3 in drawing 1 The switching element Q1 which consists of DC power supplies Vin and MOSFET connected to the primary winding N1 at the serial, It has the

rectification smoothing circuit 2 connected to the secondary winding N2, the output voltage detecting circuit 3 connected to the rectification smoothing circuit 2, and the control circuit 4 prepared between a feedback winding N3 and the gate which is the control terminal of a switching element Q1. Among these, the output voltage detecting circuit 3 has the photodiode PD of the photo couplers for outputting a feedback signal to a control circuit 4, and it is connected so that a load becomes light, output voltage becomes high, and the amount of luminescence may increase.

[0019] Next, a control circuit 4 is explained. The end of a feedback winding N3 is connected to the gate of a switching element Q1 through between a capacitor C1 and the emitter-collector of a transistor Q2, and the other end is connected to the source of a switching element Q1, i.e., a gland. Diode D1 is connected between the emitter-collectors of a transistor Q2, the capacitor C2 is connected between the emitter-bases, and the base is further connected to DC power supply  $V_{in}$  for the emitter through between the collector emitters of resistance R2 and a transistor Q3 in the gland in order through the starting resistance R1.

[0020] The capacitor C3 is connected between collector emitters by connecting a collector to a constant current source I, and connecting an emitter to a gland, and the collector is further connected to the inversed input terminal of a comparator IC 1, and the non-inversed input terminal of a comparator IC 2 for the photo transistor PT which is the photodiode PD of the output voltage detecting circuit 3, and a pair. In addition, a constant current source I is made from the power source which carried out rectification smooth [ of the electrical potential difference of DC power supply  $V_{in}$  or a feedback winding N3 ].

[0021] Moreover, the end of a feedback winding N3 is connected with resistance R3 in the gland through the capacitor C4 which is the 1st capacitor in order, and the node of resistance R3 and a capacitor C4 is connected to the non-inversed input terminal of a comparator IC 1. The output of a comparator IC 1 is connected to one input of AND-circuit IC4. The end of a feedback winding N3 is further connected with zener diode D3 through resistance R4 in the gland



through the parallel circuit of the capacitor C5 which is the 3rd capacitor, and the node of resistance R4 and a capacitor C5 is connected to the inversed input terminal of a comparator IC 2. The output of a comparator IC 2 is connected to the base of a transistor Q3 through resistance R5.

[0022] Furthermore, the end of a feedback winding N3 is further connected with diode D2 through resistance R6 in the gland through the parallel circuit of the capacitor C6 which is the 2nd capacitor, and the node of resistance R6 and a capacitor C6 is connected to the non-inversed input terminal of a comparator IC 3. The source Vref of reference voltage is connected to the inversed input terminal of a comparator IC 3, and the output is connected to the input of another side of AND-circuit IC4. The output of AND circuit 14 is connected to the base of a transistor Q4 through resistance R7, and the gate of a switching element Q1 is connected to the gland through between the collector emitters of a transistor Q4.

[0023] Next, actuation of the switching power supply equipment 1 constituted in this way is explained with reference to drawing 2 . Drawing 2 shows time amount change of the both-ends electrical potential difference Vc4 of the capacitor C4 which is the electrical potential difference Vbias and the 1st capacitor of the feedback winding N3 at the time of (a) rating of switching power supply equipment 1, and the (b) light load, the both-ends electrical potential difference Vc5 of the capacitor C5 which is the 3rd capacitor, and the both-ends electrical potential difference Vc6 of the capacitor C6 which is the 2nd capacitor. Here, Vfb is the collector voltage of a photo transistor PT, and is inputted into the inversed input terminal of a comparator IC 1 as feedback voltage. Although Vfb is changed according to fluctuation of a load, when output voltage is fixed, it becomes an almost fixed value. Here, a constant current source I, a photo transistor PT, and a capacitor C3 are called a feedback voltage generating circuit. Moreover, Vz is a cathode electrical potential difference at the time of breakdown actuation of zener diode D3, and is inputted into the inversed input terminal of a comparator IC 2. And Vref is connected to the inversed input terminal of a comparator IC 3 on the electrical potential difference of the source Vref of reference voltage.



[0024] First, time amount is explained for the actuation at the time of rating which it is at the non-light load time later on. In addition, the cases at the time of rating heavier than it etc. are defined for the case where a load is lighter than the value decided beforehand here as the time of a non-light load at the time of a light load.

[0025] ( $t=0-t_1$ ) If a switching element Q1 carries out a turn-on, a current will flow to a primary winding N1, the electrical potential difference  $V_{bias}$  of a feedback winding N3 just becomes coincidence, and charge of capacitors C4, C5, and C6 starts. Charge of a capacitor C5 stops, when the both-ends electrical potential difference  $V_{c5}$  reaches  $V_z$ , and it is not charged any more. In addition, since  $V_{fb}$  is set up at the time of rating so that it may be set to level higher than  $V_z$ , the output of a comparator IC 2 serves as H level. When the output of a comparator IC 2 is H level, the transistor Q3 is an ON state and the transistor Q2 has also become an ON state by it.

[0026] ( $t=t_1-t_2$ ) If the both-ends electrical potential difference  $V_{c6}$  of a capacitor C6 exceeds  $V_{ref}$ , the output of a comparator IC 3 will be set to H level. However, at this time, since the both-ends electrical potential difference  $V_{c4}$  of a capacitor C4 is not over  $V_{fb}$ , the output of a comparator IC 1 is maintaining L level, and the output of AND-circuit IC4 is maintaining L level.

[0027] ( $t=t_2-t_3$ ) If the both-ends electrical potential difference  $V_{c4}$  of a capacitor C4 exceeds  $V_{fb}$ , the output of a comparator IC 1 will be set to H level. Both two inputs of AND-circuit IC4 serve as H level, the output also serves as H level, and a transistor Q4 is made to turn on through resistance R7 by this. When a transistor Q4 turns on, a switching element Q1 carries out a turn-off, and a "on" period expires. That is, intersecting  $V_{fb}$  whose both-ends electrical potential difference  $V_{c4}$  of the capacitor C4 which is the 1st capacitor is an electrical potential difference determined by the feedback signal becomes the trigger as which the timing of the turn-off of a switching element Q1 is determined, and a "on" period will be decided.

[0028] Since resistance between collector emitters falls so that a load becomes light and the light income of a photo transistor PT from Photodiode PD increases,

Vfb has the inclination to fall, so that a load becomes light. Therefore, time amount until the both-ends electrical potential difference Vc4 of a capacitor C4 exceeds Vfb becomes so short that a load becomes light. This shows that it is the "on" period control circuit controlled so that this resistance R3, a capacitor C4, a comparator IC 1, AND-circuit IC4, resistance R7, a transistor Q4, and a circuit including a feedback voltage generating circuit become so short that a load becomes light about the "on" period of a switching element Q1 at the time of a non-light load.

[0029] If a switching element Q1 carries out a turn-off, since a current will begin to flow from a secondary winding N2 to the rectification smoothing circuit 2 and the electrical potential difference Vbias of a feedback winding N3 will become negative to coincidence, capacitors C4, C5, and C6 begin to discharge. Since the both-ends electrical potential difference Vc4 will become lower than Vfb shortly after a capacitor C4 begins discharge, the output of a comparator IC 1 serves as L level, the output of AND-circuit IC4 serves as L level, and a transistor Q4 returns to an OFF state. That is, a transistor Q4 is only temporarily turned on in order to carry out the turn-off of the switching element Q1.

[0030] Moreover, it seems that the timing of the turn-off of a switching element Q1 is determined when seemingly in agreement [ crossed not but ], as it was shown in drawing 2 , since it became immediately lower than Vfb even if the both-ends electrical potential difference Vc4 of a capacitor C4 once exceeds Vfb so that the above-mentioned explanation may show.

[0031] ( $t=t_3-t_4$ ) If the current which flows out of a secondary winding N2 into the rectification smoothing circuit 2 becomes zero while a switching element Q1 is off, the electrical potential difference Vbias of a feedback winding N3 will begin resonance.

[0032] ( $t=t_4-$ ) It is impressed by the gate of a switching element Q1 through the transistor Q2 which has the wave of the forward electrical-potential-difference direction of the beginning of this resonating electrical potential difference Vbias in an ON state, and a switching element Q1 carries out a turn-on. That is, it

becomes the trigger of the turn-on of a switching element Q1 that the current which flows out of a secondary winding N2 into the rectification smoothing circuit 2 becomes zero. If a switching element Q1 carries out a turn-on, resonance of an electrical potential difference  $V_{bias}$  will stop and will become a forward electrical potential difference again like the time of  $t = 0$ .  $t = 0$  or subsequent ones is repeated after this.

[0033] Thus, shortly after the current with which a current will flow into the rectification smoothing circuit 2 out of a secondary winding N2 from a secondary winding N2 at the beginning of outflow shortly after a current will not flow to a primary winding N1 at the time of rating (at the time of a non-light load) becomes zero, a switching element Q1 will carry out a turn-on, and a current will begin to flow to a primary winding N1. Such a mode of operation is called current criticality mode, and it turns out that switching power supply equipment 1 is operating in current criticality mode at the time of rating.

[0034] In addition, since the magnetic energy accumulated in Transformer T according to stretch shrinkage of the "on" period by the gravity of a load is also fluctuated when the "on" period of a switching element Q1 is controlled by the time of a non-light load, the "off" period which is an emission period of the energy is also expanded and contracted.

[0035] Next, time amount is explained for the actuation at the time of a light load later on.

[0036] ( $t=0-t_1$ ) If a switching element Q1 carries out a turn-on, a current will flow to a primary winding N1, the electrical potential difference  $V_{bias}$  of a feedback winding N3 just becomes coincidence, and charge of capacitors C4, C5, and C6 starts. At this time, like the after-mentioned, a capacitor C6 is in the condition of having discharged completely, at the time of the turn-on of a switching element Q1, and that both-ends electrical potential difference  $V_{c6}$  has become 0V.

Charge of a capacitor C5 stops, when the both-ends both-ends electrical potential difference  $V_{c5}$  reaches  $V_z$ , and it is not charged any more. In addition, since  $V_{fb}$  is set up at the time of a light load so that it may be set to level lower

than  $V_z$ , the output of a comparator IC 2 serves as L level. If the output of a comparator IC 2 has L level, the transistor Q3 is turned off and the transistor Q2 is also turned off by it.

[0037] ( $t=t_1-t_2$ ) Although the output of a comparator IC 1 tends to be set to H level and a "on" period control circuit tends to operate if the both-ends electrical potential difference  $V_{c4}$  of a capacitor C4 exceeds  $V_{fb}$ , at this time, since the both-ends electrical potential difference  $V_{c6}$  of a capacitor C6 has not reached  $V_{ref}$ , the output of a comparator IC 3 is maintaining L level, and the output of AND-circuit IC4 is maintaining L level. That is, it does not become the trigger of the turn-off of a switching element Q1 that the both-ends electrical potential difference  $V_{c4}$  of the capacitor C4 which is the 1st capacitor exceeds  $V_{fb}$ , but actuation of a "on" period control circuit is controlled.

[0038] ( $t=t_2-t_3$ ) If the both-ends electrical potential difference  $V_{c6}$  of a capacitor C6 exceeds  $V_{ref}$ , the output of a comparator IC 3 will be set to H level. Both two inputs of AND-circuit IC4 serve as H level, the output also serves as H level, and a transistor Q4 is made to turn on by this. When a transistor Q4 turns on, a switching element Q1 carries out a turn-off, and a "on" period expires. That is, that the both-ends electrical potential difference  $V_{c6}$  of the capacitor C6 which is the 2nd capacitor rises from 0V, and intersects  $V_{ref}$  becomes the trigger as which the timing of the turn-off of a switching element Q1 is determined, and a "on" period will be decided. In other words, the minimum "on" period of a switching element Q1 is determined by fixed time amount until the both-ends electrical potential difference  $V_{c6}$  of a capacitor C6 rises from 0V and exceeds  $V_{ref}$ . This shows that the circuit containing this resistance R6, a capacitor C6, diode D2, the source  $V_{ref}$  of reference voltage, and a comparator IC 3 is the minimum "on" period setting circuit which controls turn-off actuation of the switching element Q1 by the "on" period control circuit at the time of a light load.

[0039] If a switching element Q1 carries out a turn-off, since a current will begin to flow from a secondary winding N2 to the rectification smoothing circuit 2 and the electrical potential difference  $V_{bias}$  of a feedback winding N3 will become

negative to coincidence, capacitors C4, C5, and C6 begin to discharge. Since the both-ends electrical potential difference  $V_{c6}$  will become lower than  $V_{ref}$  shortly after a capacitor C6 begins discharge, the output of a comparator IC 3 serves as L level, the output of AND-circuit IC4 serves as L level, and a transistor Q4 returns to an OFF state. That is, a transistor Q4 is only temporarily turned on in order to carry out the turn-off of the switching element Q1. In addition, diode D2 is formed in order to prevent the charge to the hard flow of a capacitor C6.

[0040] ( $t=t_3-t_4$ ) If the current which flows out of a secondary winding N2 into the rectification smoothing circuit 2 becomes zero while a switching element Q1 is off, the electrical potential difference  $V_{bias}$  of a feedback winding N3 will begin resonance. Since a transistor Q2 is in an OFF state at this time, the resonating electrical potential difference  $V_{bias}$  is not impressed to the gate of a switching element Q1, and an electrical potential difference  $V_{bias}$  is decreased, resonating. That is, the turn-on of the switching element Q1 by the resonating electrical potential difference  $V_{bias}$  is prevented. Since it will be in the condition that a current flows to neither a primary winding N1 nor the secondary winding N2, after this, it stops therefore, being in current criticality mode. On the other hand, a capacitor C5 discharges succeedingly and the both-ends electrical potential difference  $V_{c5}$  continues a fall. Moreover, capacitors C4 and C6 also discharge succeedingly, and the both-ends electrical potential differences  $V_{c4}$  and  $V_{c6}$  approach 0V with time amount.

[0041] ( $t=t_4-$ ) If the both-ends electrical potential difference  $V_{c5}$  of a capacitor C5 falls and it is less than  $V_{fb}$ , the output of a comparator IC 2 will serve as H level, a transistor Q3 turns on, and a transistor Q2 turns on. The charge stored in the capacitor C1 by the time it became  $t=t_4$  by this is given to the gate of a switching element Q1 through a transistor Q2, and a switching element Q1 carries out a turn-on. That is, that the both-ends electrical potential difference  $V_{c5}$  of the capacitor C5 which is the 3rd capacitor intersects  $V_{fb}$  becomes the trigger which determines the timing of the turn-on of a switching element Q1. In order for  $V_{fb}$  to fall so that a load becomes light, also as for time amount until the both-ends



electrical potential difference  $V_{c5}$  of a capacitor C5 falls by discharge and is less than  $V_{fb}$ , a load becomes so long that it is light. This shows that this resistance R4, a capacitor C5, zener diode D3, a comparator IC 2, resistance R5, a transistor Q3, resistance R2, a capacitor C2, and a circuit including a feedback voltage generating circuit are "off" period control circuits which control the "off" period of a switching element Q1 to become so long that a load become light at the time of a light load. In addition, by this point in time, that capacity value and value of resistance R6 are set up so that a capacitor C6 may discharge completely.  $t = 0$  or subsequent ones is repeated after this.

[0042] As mentioned above, as explained using drawing 1 and drawing 2, while controlling the "on" period of a switching element by the "on" period control circuit at the time of a non-light load, keeping output voltage constant in switching power supply equipment 1 and fixing the "on" period of a switching element to the minimum "on" period by the minimum "on" period setting circuit at the time of a light load, a "off" period is controlled by the "off" period control circuit, and output voltage is kept constant.

[0043] By this, it can reduce a switching frequency, so that a load becomes light conversely, and it not only controls the rise of the switching frequency at the time of a light load, but it can aim at reduction of the switching loss at the time of a light load. Moreover, since the "off" period of a switching element is continuously controllable according to the magnitude of a load at the time of a light load, generating of an intermittent oscillation can be prevented and increase of an output ripple can be avoided. Furthermore, since a continuity is in the duty of switching of a switching element on the boundary at the time of a light load and a non-light load, when a load is near [ this ] a boundary, it can prevent that switching operation becomes discontinuity.

[0044] The circuit diagram of another example of the switching power supply equipment of this invention is shown in drawing 3. In drawing 3, the same notation is given to a part the same as that of drawing 1, or equivalent, and the explanation is omitted.



[0045] In drawing 3, the principal part consists of integrated circuits 12 in the control circuit 11 where switching power supply equipment 10 was formed between a feedback winding N3 and the gate of a switching element Q1. Hereafter, a control circuit 11 is explained also including the component of an integrated circuit 12.

[0046] First, the end of a feedback winding N3 is connected to the integrated circuit 12 through the rectification smoothing circuit which consists of diode D4 and a capacitor C8. The output voltage of this rectification smoothing circuit is supplied to each component inside an integrated circuit 12. The node of diode D4 and a capacitor C8 is connected to DC power supply  $V_{in}$  through the starting resistance R1.

[0047] The capacitor C3 is connected between collector emitters by connecting a collector to a constant current source I, and connecting an emitter to a gland, and the collector is further connected to the non-inversed input terminal of a comparator IC 6, and the inversed input terminal of a comparator IC 8 for the photo transistor PT which is the photodiode PD of the output voltage detecting circuit 3, and a pair. In addition, a constant current source I is made from the electrical potential difference supplied to an integrated circuit 12 from the rectification smoothing circuit which consists of diode D4 and a capacitor C8.

[0048] Moreover, the end of a feedback winding N3 is connected to the non-inversed input terminal of a comparator IC 5. When the electrical potential difference of a non-inversed input terminal becomes zero, the source  $V_{off}$  of offset voltage of a negative small electrical-potential-difference value is connected to the inversed input terminal of a comparator IC 5 so that the output of a comparator IC 5 may be set to H level.

[0049] Moreover, the end of a feedback winding N3 is connected with resistance R8 through the capacitor C7 in the gland in order, and the node of resistance R8 and a capacitor C7 is connected to the inversed input terminal of a comparator IC 6, and the non-inversed input terminal of a comparator IC 8. In addition, the capacitor C7 serves as the function of the 1st capacitor and the 3rd capacitor.

[0050] Furthermore, the end of a feedback winding N3 is further connected with diode D2 through resistance R6 in the gland through the parallel circuit of the capacitor C6 which is the 2nd capacitor, and the node of resistance R6 and a capacitor C6 is connected to the non-inversed input terminal of a comparator IC 9. The source Vref of reference voltage is connected to the inversed input terminal of a comparator IC 9, and the output is connected to one input of AND-circuit IC10.

[0051] The output of comparators IC5 and IC6 is connected to two inputs of AND-circuit IC7, and the output is connected to the set terminal S of RS flip flop IC11. Similarly, the output of comparators IC8 and IC9 is connected to two inputs of AND-circuit IC10, and the output is connected to the reset terminal R of RS flip flop IC11. The output terminal Q of RS flip flop IC11 is connected to the gate of a switching element Q1 through the drive circuit 13. In addition, the reversal output terminal of RS flip flop IC11 is omitted in order not to use it. Moreover, the drive circuit 13 is using as the power source the electrical potential difference supplied to an integrated circuit 12.

[0052] In addition, a constant current source I, comparators IC5, IC6, IC8, and IC9, AND circuits IC7 and IC10, RS flip flop IC11, the drive circuit 13, the source Voff of offset voltage, and the source Vref of reference voltage constitute an integrated circuit 12 in the above-mentioned component.

[0053] Next, actuation of the switching power supply equipment 10 constituted in this way is explained with reference to drawing 4 . Drawing 4 shows time amount change of the both-ends electrical potential difference Vc7 of the capacitor C7 which serves both as an electrical potential difference Vbias, and the 1st capacitor and 3rd capacitor of a feedback winding N3 at the time of (a) rating of switching power supply equipment 10, and the (b) light load, and the both-ends electrical potential difference Vc6 of the capacitor C6 which is the 2nd capacitor. Here, Vfb is the collector voltage of a photo transistor PT, and is inputted into the non-inversed input terminal of a comparator IC 6, and the inversed input terminal of a comparator IC 8 as feedback voltage. Although Vfb is changed according to

fluctuation of a load, when output voltage is fixed, it becomes an almost fixed value. Moreover,  $V_{ref}$  is connected to the inversed input terminal of a comparator IC 9 on the electrical potential difference of the source  $V_{ref}$  of reference voltage.

[0054] First, time amount is explained for the actuation at the time of rating which it is at the non-light load time which it is at the non-light load time later on.

[0055] (From  $t=0$  to  $t_1$ ) If a switching element Q1 carries out a turn-on, a current will flow to a primary winding N1, the electrical potential difference  $V_{bias}$  of a feedback winding N3 just becomes coincidence, and charge of capacitors C6 and C7 starts. In addition,  $V_{fb}$  is in high level at the time of rating, since the both-ends electrical potential difference  $V_{c7}$  of a capacitor C7 is lower, it has the output of a comparator IC 6 to H level, and the output of a comparator IC 8 has L level. Moreover, since the electrical potential difference  $V_{bias}$  is impressed to the non-inversed input terminal, the output of a comparator IC 5 also has H level.

[0056] ( $t=t_1-t_2$ ) Although the output of a comparator IC 9 will be set to H level if the both-ends electrical potential difference  $V_{c6}$  of a capacitor C6 exceeds  $V_{ref}$ , at this time, since the both-ends electrical potential difference  $V_{c7}$  of a capacitor C7 is not over  $V_{fb}$ , the output of a comparator IC 8 is maintaining L level, and the output of AND-circuit IC10 is maintaining L level. In addition, at this time, since the input is connection contrary to a comparator IC 8, the output of a comparator IC 6 serves as H level.

[0057] ( $t=t_2-t_3$ ) If the both-ends electrical potential difference  $V_{c7}$  of a capacitor C7 exceeds  $V_{fb}$ , when the output of a comparator IC 8 is set to H level, both two inputs of AND-circuit IC10 will serve as H level, and the output will also serve as H level. Conversely, when the output of a comparator IC 6 is set to L level, the output of AND-circuit IC7 is set to L level. And when the output of AND circuit 10 is set to H level, RS flip flop IC11 is reset by making the standup into a trigger. If RS flip flop IC11 is reset, the output will be set to L level, the turn-off of the switching element Q1 will be carried out through the drive circuit 13, and a "on" period will expire. That is, intersecting  $V_{fb}$  whose both-ends electrical potential difference  $V_{c7}$  of the capacitor C7 which is the 1st capacitor is an electrical

potential difference determined by the feedback signal becomes the trigger as which the timing of the turn-off of a switching element Q1 is determined, and a "on" period will be decided.

[0058] Since resistance between collector emitters falls so that a load becomes light and the light income of a photo transistor PT from Photodiode PD increases,  $V_{fb}$  has the inclination to fall, so that a load becomes light. Therefore, time amount until the both-ends electrical potential difference  $V_{c7}$  of a capacitor C7 exceeds  $V_{fb}$  becomes so short that a load becomes light. This shows that it is the "on" period control circuit controlled so that this resistance R8, a capacitor C7, a comparator IC 8, AND-circuit IC10, RS flip flop IC11, the drive circuit 13, and a circuit including a feedback voltage generating circuit become so short that a load becomes light about the "on" period of a switching element Q1 at the time of a non-light load.

[0059] If a switching element Q1 carries out a turn-off, since a current will begin to flow from a secondary winding N2 to the rectification smoothing circuit 2 and the electrical potential difference  $V_{bias}$  of a feedback winding N3 will become negative to coincidence, capacitors C6 and C7 begin to discharge. Since the both-ends electrical potential difference  $V_{c7}$  will become lower than  $V_{fb}$  shortly after a capacitor C7 begins discharge, the output of a comparator IC 8 serves as L level, and the output of AND-circuit IC10 also serves as L level. Conversely, although the output of a comparator IC 6 is set to H level, since the negative electrical potential difference  $V_{bias}$  is impressed to the non-inversed input terminal of a comparator IC 5, the output serves as L level and the output of AND-circuit IC7 is set to L level. in addition -- and if discharge of a capacitor C6 progresses after a while, since the both-ends electrical potential difference  $V_{c6}$  will be less than  $V_{ref}$ , the output of a comparator IC 9 is also set to L level.

[0060] Moreover, it seems that the timing of the turn-off of a switching element Q1 is determined when seemingly in agreement [ crossed not but ], as it was shown in drawing 4 , since it became immediately lower than  $V_{fb}$  even if the both-ends electrical potential difference  $V_{c7}$  of a capacitor C7 once exceeds  $V_{fb}$

so that the above-mentioned explanation may show.

[0061] ( $t=t_3-t_4$ ) If the current which flows out of a secondary winding N2 into the rectification smoothing circuit 2 becomes zero while a switching element Q1 is off, the electrical potential difference Vbias of a feedback winding N3 will begin resonance.

[0062] ( $t=t_4-$ ) By the wave of the forward electrical-potential-difference direction of the beginning of this resonating electrical potential difference Vbias, the electrical potential difference of the non-inversed input terminal of a comparator IC 5 becomes higher than the electrical potential difference of an inversed input terminal, and that output is set to H level. Since the output of a comparator IC 6 already has H level, the output of AND-circuit IC7 is also set to H level, and RS flip flop IC11 is set by making the standup into a trigger. If RS flip flop IC11 is set, the output will be set to H level and the turn-on of the switching element Q1 will be carried out through the drive circuit 13. That is, it becomes the trigger of the turn-on of a switching element Q1 that the current which flows out of a secondary winding N2 into the rectification smoothing circuit 2 becomes zero. If a switching element Q1 carries out a turn-on, resonance of an electrical potential difference Vbias will stop and will become a forward electrical potential difference again like the time of  $t=0$ .  $t=0$  or subsequent ones is repeated after this.

[0063] Thus, the fact that a switching element Q1 will carry out a turn-on, and a current will begin to flow to a primary winding N1 shortly after the current with which a current will flow into the rectification smoothing circuit 2 out of a secondary winding N2 from a secondary winding N2 at the beginning of outflow shortly after a current will not flow to a primary winding N1 at the time of rating (at the time of a non-light load) becomes zero shows that switching power supply equipment 10 is operating in current criticality mode at the time of rating.

[0064] Next, time amount is explained for the actuation at the time of a light load later on.

[0065] ( $t=0-t_1$ ) If a switching element Q1 carries out a turn-on, a current will flow to a primary winding N1, the electrical potential difference Vbias of a feedback



winding N3 just becomes coincidence, and charge of capacitors C6 and C7 starts. At this time, at the time of the turn-on of a switching element Q1, the capacitor C6 is discharging completely like the after-mentioned, and that both-ends electrical potential difference  $V_{c6}$  has become 0V. In addition, when an electrical potential difference  $V_{bias}$  just becomes, the output of a comparator IC 5 is set to H level. Moreover, at the time of a light load,  $V_{fb}$  has low level, since the both-ends electrical potential difference  $V_{c7}$  of a capacitor C7 is higher, it has the output of a comparator IC 6 to L level, and the output of a comparator IC 8 has H level. That is, the rise by charge of the both-ends electrical potential difference  $V_{c7}$  of the capacitor C7 which is the 1st capacitor cannot serve as a trigger of the turn-off of a switching element Q1, and actuation of a "on" period control circuit is controlled (it does not operate substantially). Furthermore, since the both-ends electrical potential difference  $V_{c6}$  of a capacitor C6 is lower than  $V_{ref}$ , the output of a comparator IC 9 serves as L level.

[0066] ( $t=t_1-t_2$ ) If the both-ends electrical potential difference  $V_{c6}$  of a capacitor C6 exceeds  $V_{ref}$ , the output of a comparator IC 9 will be set to H level. Since the output of a comparator IC 8 already has H level, the output of AND-circuit IC10 is also set to H level. On the other hand, beforehand, since it is higher than  $V_{fb}$ , the output of a comparator IC 6 does not change with L level, and, as for the both-ends electrical potential difference  $V_{c7}$  of a capacitor C7, the output of AND-circuit IC7 does not change with L level, either. And when the output of AND circuit 10 is set to H level, RS flip flop IC11 is reset by making the standup into a trigger. If RS flip flop IC11 is reset, the output will be set to L level and the turn-off of the switching element Q1 will be carried out through the drive circuit 13. That is, that the both-ends electrical potential difference  $V_{c6}$  of the capacitor C6 which is the 2nd capacitor rises from 0V, and intersects  $V_{ref}$  becomes the trigger as which the timing of the turn-off of a switching element Q1 is determined, and a "on" period will be decided. In other words, the minimum "on" period of a switching element Q1 is determined by time amount until the both-ends electrical potential difference  $V_{c6}$  of a capacitor C6 rises from 0V and exceeds  $V_{ref}$ . This



shows that the circuit including this resistance R6, a capacitor C6, diode D2, a comparator IC 9, and the source Vref of reference voltage is the minimum "on" period setting circuit which controls turn-off actuation of the switching element by the "on" period control circuit at the time of a light load.

[0067] If a switching element Q1 carries out a turn-off, since a current will begin to flow from a secondary winding N2 to the rectification smoothing circuit 2 and the electrical potential difference Vbias of a feedback winding N3 will become negative to coincidence, capacitors C6 and C7 begin to discharge. Since the both-ends electrical potential difference Vc6 will become lower than Vref shortly after a capacitor C6 begins discharge, the output of a comparator IC 9 serves as L level, and the output of AND-circuit IC10 also serves as L level.

[0068] ( $t=t_2-t_3$ ) If the current which flows out of a secondary winding N2 into the rectification smoothing circuit 2 becomes zero while a switching element Q1 is off, the electrical potential difference Vbias of a feedback winding N3 will begin resonance. By the wave of the forward electrical-potential-difference direction of this resonating electrical potential difference Vbias, the electrical potential difference of the non-inversed input terminal of a comparator IC 5 becomes higher than the electrical potential difference of an inversed input terminal, and that output is set to H level. However, at this time, since the both-ends electrical potential difference Vc7 of a capacitor C7 is still higher than Vfb, in order that the output of a comparator IC 6 may maintain L level, L level is maintained also for the output of AND-circuit IC7, and RS flip flop IC11 is not set. That is, the turn-on of the switching element Q1 by the resonating electrical potential difference Vbias is prevented. Since it will be in the condition that a current flows to neither a primary winding N1 nor the secondary winding N2, after this, it stops therefore, being in current criticality mode. Decreasing an electrical potential difference Vbias resonating, according to it, the output of a comparator IC 5 repeats H level and L level by turns. And if an electrical potential difference Vbias declines completely, the electrical potential difference of the non-inversed input terminal of a comparator IC 5 will become zero, but since the source Voff of offset voltage of

a negative small electrical-potential-difference value is connected to the inversed input terminal, the output is set to H level. On the other hand, a capacitor C7 discharges succeeding and the both-ends electrical potential difference  $V_{c7}$  continues a fall. Moreover, a capacitor C6 also discharges succeeding and the both-ends electrical potential difference  $V_{c6}$  approaches 0V with time amount.

[0069] ( $t=t_3$ -) If the both-ends electrical potential difference  $V_{c7}$  of a capacitor C7 is less than  $V_{fb}$ , the output of a comparator IC 6 will serve as H level, and the output of a comparator IC 8 will serve as L level conversely. Since the output of a comparator IC 5 already has H level, the output of AND-circuit IC7 is also set to H level, and RS flip flop IC11 is set by making the standup into a trigger. If RS flip flop IC11 is set, the output will be set to H level and the turn-on of the switching element Q1 will be carried out through the drive circuit 13. That is, that the both-ends electrical potential difference  $V_{c7}$  of the capacitor C7 which is also the 3rd capacitor intersects  $V_{fb}$  becomes the trigger which determines the timing of the turn-on of a switching element Q1. In order for  $V_{fb}$  to fall so that a load becomes light, also as for time amount until the both-ends electrical potential difference  $V_{c7}$  of a capacitor C7 falls by discharge and is less than  $V_{fb}$ , a load becomes so long that it is light. This shows that it is the "off" period control circuit where this resistance R8, a capacitor C7, comparators IC5 and IC6, the source  $V_{off}$  of offset voltage, AND-circuit IC7, RS flip flop IC11, the drive circuit 13, and a circuit including a feedback voltage generating circuit control the "off" period of a switching element Q1 to become so long that a load become light at the time of a light load. In addition, by this point in time, that capacity value and value of resistance R6 are set up so that a capacitor C6 may discharge completely.  $t=0$  or subsequent ones is repeated after this.

[0070] As mentioned above, as explained using drawing 3 and drawing 4, while controlling the "on" period of a switching element by the "on" period control circuit at the time of a non-light load, keeping output voltage constant in switching power supply equipment 10 and fixing the "on" period of a switching element to the minimum "on" period by the minimum "on" period setting circuit at the time of

a light load, a "off" period is controlled by the "off" period control circuit, and output voltage is kept constant.

[0071] By this, it can reduce a switching frequency, so that a load becomes light conversely, and it not only controls the rise of the switching frequency at the time of a light load, but it can aim at reduction of the switching loss at the time of a light load. Moreover, since the "off" period of a switching element is continuously controllable according to the magnitude of a load at the time of a light load, generating of an intermittent oscillation can be prevented and increase of an output ripple can be avoided.

[0072] In addition, like the above-mentioned explanation, while operating at the time of a non-light load, i.e., a "on" period control circuit, the both-ends electrical potential difference  $V_{C7}$  of the capacitor C7 which is the 1st capacitor approaches and crosses from the low electrical-potential-difference value towards becoming high to  $V_{fb}$  which is the electrical potential difference determined by the feedback signal. Moreover, while operating at the time of a light load, i.e., the minimum "on" period setting circuit, the both-ends electrical potential difference  $V_{C7}$  of a capacitor V7 approaches and crosses from the high electrical potential difference towards becoming low to  $V_{fb}$ . That is, when the both-ends electrical potential difference of the 1st capacitor crosses from feedback voltage and an one direction, the timing of the turn-off of a switching element is determined and the minimum "on" period setting circuit has controlled actuation of a "on" period control circuit, and it crosses from feedback voltage and hard flow, the timing of the turn-on of a switching element is determined [ while the "on" period control circuit is operating, ]. Thus, since one capacitor C7 serves as the function of the 1st capacitor and the 3rd capacitor, external components can be reduced and a miniaturization and low-cost-izing of switching power supply equipment can be attained.

[0073] Furthermore, the miniaturization and low-cost-izing by reduction of components mark can be attained also by integrated-circuit-izing most control circuits.

[0074] The circuit diagram of still more nearly another example of the switching power supply equipment of this invention is shown in drawing 5 . In drawing 5 , the same notation is given to a part the same as that of drawing 3 , or equivalent, and the explanation is omitted.

[0075] In drawing 5 , the principal part consists of integrated circuits 22 in the control circuit 21 where switching power supply equipment 20 was formed between a feedback winding N3 and the gate of a switching element Q1.

Hereafter, also including the component of an integrated circuit 22, it attaches control circuit 21 and explains.

[0076] First, the end of a feedback winding N3 is connected to the integrated circuit 22 through the rectification smoothing circuit which consists of diode D4 and a capacitor C8. The output voltage of this rectification smoothing circuit is supplied to each component inside an integrated circuit 22. The node of diode D4 and a capacitor C8 is connected to DC power supply  $V_{in}$  through the starting resistance R1.

[0077] The capacitor C3 is connected between collector emitters by connecting a collector to a constant current source I, and connecting an emitter to a gland, and the collector is further connected to the inversed input terminal of a comparator IC 12 for the photo transistor PT which is the photodiode PD of the output voltage detecting circuit 3, and a pair through the non-inversed input terminal and diode D5 of a comparator IC 6. Moreover, the source  $V_{ref}$  of reference voltage is connected to the inversed input terminal of a comparator IC 12. In addition, a constant current source I is made from the electrical potential difference supplied to an integrated circuit 22 from the rectification smoothing circuit which consists of diode D4 and a capacitor C8.

[0078] Moreover, the end of a feedback winding N3 is connected to the non-inversed input terminal of a comparator IC 5. When the electrical potential difference of a non-inversed input terminal becomes zero, the source  $V_{off}$  of offset voltage of a negative small electrical-potential-difference value is connected to the inversed input terminal of a comparator IC 5 so that an output

may be set to H level.

[0079] Moreover, the end of a feedback winding N3 is connected with resistance R8 through the capacitor C7 in the gland in order, and the node of resistance R8 and a capacitor C7 is connected to the inversed input terminal of a comparator IC 6, and the non-inversed input terminal of a comparator IC 12. In addition, the capacitor C7 serves as the function of the 1st capacitor, the 2nd capacitor, and the 3rd capacitor.

[0080] The output of comparators IC5 and IC6 is connected to two inputs of AND-circuit IC7, and the output is connected to the set terminal S of RS flip flop IC11. Moreover, the output of a comparator IC 12 is connected to the reset terminal RS of RS flip flop IC11. The output terminal Q of RS flip flop IC11 is connected to the gate of a switching element Q1 through the drive circuit 13. In addition, the drive circuit 13 is using as the power source the electrical potential difference supplied to an integrated circuit 12.

[0081] And the output of the drive circuit 13 is connected to the base of a transistor Q5 through a monostable multivibrator 23 and resistance R9 in order, the collector of a transistor Q5 is connected to the inversed input terminal of a comparator IC 6, and the emitter is connected to the gland, respectively.

[0082] In addition, a constant current source I, diode D5, a transistor Q5, resistance R9, a monostable multivibrator 23, comparators IC5, IC6, and IC12, AND-circuit IC7, RS flip flop IC11, the drive circuit 13, the source Voff of offset voltage, and the source Vref of reference voltage constitute an integrated circuit 22 in the above-mentioned component.

[0083] Next, actuation of the switching power supply equipment 20 constituted in this way is explained with reference to drawing 6 . Drawing 6 shows time amount change of the both-ends electrical potential difference Vc7 of the capacitor C7 which serves both as an electrical potential difference Vbias, and the 1st capacitor, 2nd capacitor and 3rd capacitor of a feedback winding N3 at the time of (a) rating of switching power supply equipment 20, and the (b) light load. Here, although Vfb is the collector voltage of a photo transistor PT, and it is inputted



into the inversed input terminal of a comparator IC 12 through the non-inversed input terminal and diode D5 of a comparator IC 6 as feedback voltage and being changed according to fluctuation of a load, when output voltage is fixed, it becomes an almost fixed value, for example in the time of rating. Moreover,  $V_{ref}$  is connected to the inversed input terminal of a comparator IC 12 on the electrical potential difference of the source  $V_{ref}$  of reference voltage.

[0084] First, time amount is explained for the actuation at the time of rating which it is at the non-light load time later on.

[0085] ( $t=0-t_1$ ) If a switching element Q1 carries out a turn-on, a current will flow to a primary winding N1, the electrical potential difference  $V_{bias}$  of a feedback winding N3 just becomes coincidence, and charge of a capacitor C7 starts. In addition, since  $V_{fb}$  is in high level and the capacitor C7 is reset immediately before like the after-mentioned at the time of rating, that both-ends electrical potential difference  $V_{c7}$  is lower than  $V_{fb}$  at this time, and the output of a comparator IC 6 serves as H level. Moreover, since  $V_{fb}$  serves as level still higher than  $V_{ref}$ ,  $V_{fb}$  is impressed to the inversed input terminal of a comparator IC 12 through diode D5, and the output of a comparator IC 12 serves as L level. Moreover, since the electrical potential difference  $V_{bias}$  is impressed to the non-inversed input terminal, the output of a comparator IC 5 also serves as H level. Furthermore, the output of AND-circuit IC7 also has H level.

[0086] ( $t=t_1-t_2$ ) Since  $V_{fb}$  higher than  $V_{ref}$  is inputted into the inversed input terminal of a comparator IC 12 even if the both-ends electrical potential difference  $V_{c7}$  of a capacitor C7 exceeds  $V_{ref}$ , the output of a comparator IC 12 is maintaining L level.

[0087] ( $t=t_2-t_3$ ) If the both-ends electrical potential difference  $V_{c7}$  of a capacitor C7 exceeds  $V_{fb}$ , the output of a comparator IC 12 will be set to H level.

Conversely, when the output of a comparator IC 6 is set to L level, the output of AND-circuit IC7 is also set to L level. And when the output of a comparator IC 12 is set to H level, RS flip flop IC11 is reset by making the standup into a trigger. If RS flip flop IC11 is reset, the output will be set to L level, the turn-off of the



switching element Q1 will be carried out through the drive circuit 13, and a "on" period will expire. That is, intersecting  $V_{fb}$  whose both-ends electrical potential difference  $V_{c7}$  of the capacitor C7 which is the 1st capacitor is an electrical potential difference determined by the feedback signal becomes the trigger as which the timing of the turn-off of a switching element Q1 is determined, and a "on" period will be decided.

[0088] Since resistance between collector emitters falls so that a load becomes light and the light income of a photo transistor PT from Photodiode PD increases,  $V_{fb}$  has the inclination to fall, so that a load becomes light. Therefore, time amount until the both-ends electrical potential difference  $V_{c7}$  of a capacitor C7 exceeds  $V_{fb}$  becomes so short that a load becomes light. This shows that this resistance R8, a capacitor C7, a comparator IC 12, diode D5, RS flip flop IC11, the drive circuit 13, and a circuit including a feedback voltage generating circuit are "on" period control circuits controlled to become so short at the time of a non-light load that a load become light about the "on" period of a switching element Q1.

[0089] If a switching element Q1 carries out a turn-off, since a current will begin to flow from a secondary winding N2 to the rectification smoothing circuit 2 and the electrical potential difference  $V_{bias}$  of a feedback winding N3 will become negative to coincidence, a capacitor C7 begins to discharge. Since the both-ends electrical potential difference  $V_{c7}$  will become lower than  $V_{fb}$  shortly after a capacitor C7 begins discharge, the output of a comparator IC 12 serves as L level. Conversely, although the output of a comparator IC 6 is set to H level, since the negative electrical potential difference  $V_{bias}$  is impressed to the non-inversed input terminal of a comparator IC 5, the output serves as L level and the output of AND-circuit IC7 is also set to L level.

[0090] Moreover, it seems that the timing of the turn-off of a switching element Q1 is determined when seemingly in agreement [ crossed not but ], as it was shown in drawing 6 , since it became immediately lower than  $V_{fb}$  even if the both-ends electrical potential difference  $V_{c7}$  of a capacitor C7 once exceeds  $V_{fb}$

so that the above-mentioned explanation may show.

[0091] ( $t=t_3-t_4$ ) If the current which flows out of a secondary winding N2 into the rectification smoothing circuit 2 becomes zero while a switching element Q1 is off, the electrical potential difference  $V_{bias}$  of a feedback winding N3 will begin resonance.

[0092] ( $t=t_4-$ ) By the wave of the forward electrical-potential-difference direction of the beginning of this resonating electrical potential difference  $V_{bias}$ , the electrical potential difference of the non-inversed input terminal of a comparator IC 5 becomes higher than the electrical potential difference of an inversed input terminal, and that output is set to H level. Since the output of a comparator IC 6 already has H level, the output of AND-circuit IC7 is also set to H level, and RS flip flop IC11 is set by making the standup into a trigger. If RS flip flop IC11 is set, the output will be set to H level and the turn-on of the switching element Q1 will be carried out through the drive circuit 13. That is, it becomes the trigger of the turn-on of a switching element Q1 that the current which flows out of a secondary winding N2 into the rectification smoothing circuit 2 becomes zero. If a switching element Q1 carries out a turn-on, resonance of an electrical potential difference  $V_{bias}$  will stop and will become a forward electrical potential difference again.

[0093] The output for carrying out the turn-on of the switching element Q1 from the drive circuit 13 is inputted also into a monostable multivibrator 23 as a trigger signal at coincidence. By this, the output of a monostable multivibrator 23 is temporarily set to H level, and a transistor Q5 is temporarily turned on by impressing this to the base of a transistor Q5 through resistance R9. When a transistor Q5 is turned on, the charge currently stored in the capacitor C7 discharges in an instant, and the both-ends electrical potential difference  $V_{c7}$  of a capacitor C7 is reset by 0V.  $t=0$  or subsequent ones is repeated after this.

[0094] Thus, the fact that a switching element Q1 will carry out a turn-on, and a current will begin to flow to a primary winding N1 shortly after the current with which a current will flow into the rectification smoothing circuit 2 out of a secondary winding N2 from a secondary winding N2 at the beginning of outflow

shortly after a current will not flow to a primary winding N1 at the time of rating (at the time of a non-light load) becomes zero shows that switching power supply equipment 20 is operating in current criticality mode at the time of rating.

[0095] Next, time amount is explained for the actuation at the time of a light load later on.

[0096] ( $t=0-t_1$ ) If a switching element Q1 carries out a turn-on, a current will flow to a primary winding N1, the electrical potential difference  $V_{bias}$  of a feedback winding N3 just becomes coincidence, and charge of a capacitor C7 starts. In addition, when an electrical potential difference  $V_{bias}$  just becomes, the output of a comparator IC 5 is set to H level. Moreover, at the time of a light load, since  $V_{fb}$  is set to level still lower than  $V_{ref}$ ,  $V_{ref}$  is impressed to the inversed input terminal of a comparator IC 12. Since the capacitor C7 is reset immediately before like the after-mentioned, that both-ends electrical potential difference  $V_{c7}$  is about 0 V at this time, and is lower than  $V_{ref}$ . Therefore, it has the output of a comparator IC 6 to H level, and the output of a comparator IC 12 has L level.

[0097] ( $t=t_1-t_2$ ) If the both-ends electrical potential difference  $V_{c7}$  of a capacitor C7 exceeds  $V_{fb}$ , the output of a comparator IC 6 will be set to L level. On the other hand, since the electrical potential difference  $V_{ref}$  still impressed to the inversed input terminal in the comparator IC 12 is higher, the output does not change with L level. That is, it does not become the trigger of the turn-off of a switching element Q1 that the both-ends electrical potential difference  $V_{c7}$  of the capacitor C7 which is the 1st capacitor exceeds  $V_{fb}$ , but actuation of a "on" period control circuit is controlled.

[0098] ( $t=t_2-t_3$ ) If the both-ends electrical potential difference  $V_{c7}$  of a capacitor C7 exceeds  $V_{ref}$ , the output of a comparator IC 12 will be set to H level, and RS flip flop IC11 is reset by making the standup into a trigger. If RS flip flop IC11 is reset, the output will be set to L level and the turn-off of the switching element Q1 will be carried out through the drive circuit 13. That is, the both-ends electrical potential difference  $V_{c7}$  of the capacitor C7 which is also the 2nd capacitor rising, and intersecting  $V_{ref}$  becomes the trigger as which the timing of the turn-off of a

switching element Q1 is determined, and a "on" period will be decided. In other words, it is determined by time amount until the both-ends electrical potential difference  $V_{c7}$  of a capacitor C7 rises and the minimum "on" period of a switching element Q1 exceeds  $V_{ref}$ . This shows that the circuit including this resistance R8, a capacitor C7, a comparator IC 12, and the source  $V_{ref}$  of reference voltage is the minimum "on" period setting circuit which controls turn-off actuation of the switching element by the "on" period control circuit at the time of a light load. In addition, about the reason a period until the both-ends electrical potential difference  $V_{c7}$  of a capacitor C7 exceeds  $V_{ref}$  turns into the minimum "on" period, it mentions later. Moreover, a monostable multivibrator 23, resistance R9, and a transistor Q5 are also contained besides the above in the minimum "on" period setting circuit, and it mentions later also about the reason.

[0099] If a switching element Q1 carries out a turn-off, since a current will begin to flow from a secondary winding N2 to the rectification smoothing circuit 2 and the electrical potential difference  $V_{bias}$  of a feedback winding N3 will become negative to coincidence, a capacitor C7 begins to discharge. Since the both-ends electrical potential difference  $V_{c7}$  will become lower than  $V_{ref}$  shortly after a capacitor C7 begins discharge, the output of a comparator IC 12 serves as L level.

[0100] ( $t=t_3-t_4$ ) If the current which flows out of a secondary winding N2 into the rectification smoothing circuit 2 becomes zero while a switching element Q1 is off, the electrical potential difference  $V_{bias}$  of a feedback winding N3 will begin resonance. By the wave of the forward electrical-potential-difference direction of this resonating electrical potential difference  $V_{bias}$ , the electrical potential difference of the non-inversed input terminal of a comparator IC 5 becomes higher than the electrical potential difference of an inversed input terminal, and that output is set to H level. However, at this time, since the both-ends electrical potential difference  $V_{c7}$  of a capacitor C7 is still higher than  $V_{fb}$ , in order that the output of a comparator IC 6 may maintain L level, L level is maintained also for the output of AND-circuit IC7, and RS flip flop IC11 is not set. That is, the turn-on

of the switching element Q1 by the resonating electrical potential difference  $V_{bias}$  is prevented. Since it will be in the condition that a current flows to neither a primary winding N1 nor the secondary winding N2, after this, it stops therefore, being in current criticality mode. Decreasing an electrical potential difference  $V_{bias}$  resonating, according to it, the output of a comparator IC 5 repeats H level and L level by turns. And if an electrical potential difference  $V_{bias}$  declines completely, the electrical potential difference of the non-inversed input terminal of a comparator IC 5 will become zero, but since the source  $V_{off}$  of offset voltage of a negative small electrical-potential-difference value is connected to the inversed input terminal, the output is set to H level. On the other hand, a capacitor C7 discharges succeedingly and the both-ends electrical potential difference  $V_{c7}$  continues a fall.

[0101] ( $t=t_4-$ ) If the both-ends electrical potential difference  $V_{c7}$  of a capacitor C7 is less than  $V_{fb}$ , the output of a comparator IC 6 will serve as H level. Since the output of a comparator IC 5 already has H level, the output of AND-circuit IC7 is also set to H level, and RS flip flop IC11 is set by making the standup into a trigger. If RS flip flop IC11 is set, the output will be set to H level and the turn-on of the switching element Q1 will be carried out through the drive circuit 13. That is, that the both-ends electrical potential difference  $V_{c7}$  of the capacitor C7 which is also the 3rd capacitor intersects  $V_{fb}$  becomes the trigger which determines the timing of the turn-on of a switching element Q1. In order for  $V_{fb}$  to fall so that a load becomes light, also as for time amount until the both-ends electrical potential difference  $V_{c7}$  of a capacitor C7 falls by discharge and is less than  $V_{fb}$ , a load becomes so long that it is light. This shows that it is the "off" period control circuit where this resistance R8, a capacitor C7, comparators IC5 and IC6, the source  $V_{off}$  of offset voltage, AND-circuit IC7, RS flip flop IC11, the drive circuit 13, and a circuit including a feedback voltage generating circuit control the "off" period of a switching element Q1 to become so long that a load become light at the time of a light load.

[0102] The output for carrying out the turn-on of the switching element Q1 from



the drive circuit 13 is inputted also into a monostable multivibrator 23 as a trigger signal at coincidence. By this, the output of a monostable multivibrator 23 is temporarily set to H level, and a transistor Q5 is temporarily turned on by impressing this to the base of a transistor Q5 through resistance R9. When a transistor Q5 is turned on, the charge currently stored in the capacitor C7 discharges in an instant, and the both-ends electrical potential difference  $V_{c7}$  of a capacitor C7 is reset by 0V.  $t=0$  or subsequent ones is repeated after this.

[0103] The reason a period until the both-ends electrical potential difference  $V_{c7}$  of a capacitor C7 finally exceeds  $V_{ref}$  turns into the minimum "on" period, and why a monostable multivibrator 23, resistance R9, and a transistor Q5 are contained in the minimum "on" period setting circuit are explained. An assumption of the case where there is no monostable multivibrator 23 starts charge of the capacitor C7 after a switching element Q1 carries out a turn-on from the condition that the both-ends electrical potential difference  $V_{c7}$  is beforehand charged to  $V_{fb}$ . Although  $V_{ref}$  is fixed, in order that  $V_{fb}$  may change with the magnitude of a load, the time amount by which the both-ends electrical potential difference  $V_{c7}$  of a capacitor C7 is charged from  $V_{fb}$  to  $V_{ref}$  will change with the magnitude of a load. Since it is equivalent to the "on" period at the time of a light load, the way things stand, the "on" period at the time of a light load is changed, and the problem of it becoming impossible to set up the minimum "on" period generates this time amount. On the other hand, if a capacitor C7 is reset with a monostable multivibrator 23 at the time of the turn-on of a switching element Q1, a capacitor C7 will always be charged from 0V to  $V_{ref}$ , and the charging time will become fixed. By this, at the time of a light load, it cannot be based on the magnitude of a load but the minimum "on" period can be set up now. Therefore, a monostable multivibrator 23, resistance R9, and a transistor Q5 will also be contained in the minimum "on" period setting circuit.

[0104] As mentioned above, as explained using drawing 5 and drawing 6, while controlling the "on" period of a switching element by the "on" period control circuit at the time of a non-light load, keeping output voltage constant in switching

power supply equipment 20 and fixing the "on" period of a switching element to the minimum "on" period by the minimum "on" period setting circuit at the time of a light load, a "off" period is controlled by the "off" period control circuit, and output voltage is kept constant.

[0105] By this, it can reduce a switching frequency, so that a load becomes light conversely, and it not only controls the rise of the switching frequency at the time of a light load, but it can aim at reduction of the switching loss at the time of a light load. Moreover, since the "off" period of a switching element is continuously controllable according to the magnitude of a load at the time of a light load, generating of an intermittent oscillation can be prevented and increase of an output ripple can be avoided.

[0106] In addition, like the above-mentioned explanation, while operating at the time of a non-light load, i.e., a "on" period control circuit, the both-ends electrical potential difference  $V_{C7}$  of the capacitor C7 which is the 1st capacitor approaches and crosses from the low electrical-potential-difference value towards becoming high to  $V_{fb}$  which is the electrical potential difference determined by the feedback signal. Moreover, while operating at the time of a light load, i.e., the minimum "on" period setting circuit, the both-ends electrical potential difference  $V_{C7}$  of a capacitor V7 approaches and crosses from the high electrical potential difference towards becoming low to  $V_{fb}$ . That is, when the both-ends electrical potential difference of the 1st capacitor crosses from feedback voltage and an one direction, the timing of the turn-off of a switching element is determined and the minimum "on" period setting circuit has controlled actuation of a "on" period control circuit, and it crosses from feedback voltage and hard flow, the timing of the turn-on of a switching element is determined [ while the "on" period control circuit is operating, ]. Thus, since one capacitor C7 serves as the function of the 1st capacitor and the 3rd capacitor, external components can be reduced and a miniaturization and low-cost-izing of switching power supply equipment can be attained.

[0107] Moreover, since one capacitor C7 serves as the function of the 1st

capacitor, the 2nd capacitor, and the 3rd capacitor, external components can be reduced further and the further miniaturization and the further low-cost-izing of switching power supply equipment can be attained.

[0108] In addition, in each above-mentioned example, each minimum "on" period setting circuit is committed so that a switching element may be forbidden from carrying out a turn-on by the "on" period control circuit at the time of a light load. In the semantics, although the minimum "on" period setting circuit is a means for it to be contained substantially in the "on" period control circuit, and only for a fixed period to control actuation of a "on" period control circuit from the turn-on of a switching element at the time of a light load, and to forbid the turn-off of a switching element, it is good.

[0109] Moreover, in each above-mentioned example, although the turn-on of a switching element or the trigger of a turn-off is cost when the both-ends electrical potential difference of the 1st, 2nd, and 3rd capacitor intersects reference voltage or feedback voltage by charge or discharge, it is not limited to the configuration which all showed to the example. For example, feedback voltage is set up so that it may become so high that a load becomes light, what intersects reference voltage or feedback voltage in an example at the time of charge is made to cross at the time of discharge, or what intersects reference voltage or feedback voltage conversely at the time of discharge may be made to cross at the time of charge.

[0110] Furthermore, in each above-mentioned example, when the both-ends electrical potential difference of the 1st, 2nd, and 3rd capacitor intersects reference voltage or feedback voltage, the turn-on of a switching element or the trigger of a turn-off is cost, but in actual actuation, when seemingly in agreement, it costs the turn-on of a switching element, or the trigger of a turn-off. Thus, the 1st, 2nd, and 3rd both-ends electrical potential difference, reference voltage, or feedback voltage of a capacitor must not necessarily cross, and when it replaces with a comparator circuit, for example, two inputs are in agreement, it may use a circuit which outputs a trigger signal. In that case, when the both-ends electrical potential difference of the 1st, 2nd, and 3rd capacitor is in agreement with

reference voltage or feedback voltage, it comes to cost the turn-on of a switching element, or the trigger of a turn-off.

[0111] The perspective view of one example of the electronic instrument of this invention is shown in drawing 7 . In drawing 7 , the printer 30 which is one of the electronic instruments is using the switching power supply equipment 1 of this invention as a part of power circuit.

[0112] Although the part about printing actuation of a printer 30 consumes power at the time of printing, it serves as a light load at the time of the standby which does not carry out printing actuation, and hardly consumes power. And since the switching power supply equipment 1 of this invention is used, the power loss of \*\* can be reduced at the time of standby, i.e., a light load, and improvement in effectiveness can be aimed at.

[0113] In addition, although the switching power supply equipment 1 shown in drawing 1 in the printer 30 shown in drawing 7 was used, the switching power supply equipments 10 and 20 shown in drawing 3 or drawing 5 may be used, and the same operation effectiveness is done so.

[0114] Moreover, the electronic instrument of this invention is not restricted to a printer, and contains all the electronic instruments that need DC power supply with a stable electrical potential difference for a notebook computer, a portable information device, etc.

[0115]

[Effect of the Invention] According to the switching power supply equipment of this invention, reduction of the switching loss at the time of a light load can be aimed at by controlling a "on" period in the larger range than the predetermined minimum "on" period at the time of a non-light load, fixing a "on" period to the minimum "on" period at the time of a light load, and controlling a "off" period so that output voltage may become fixed based on a feedback signal. Moreover, generating of the intermittent oscillation at the time of a light load and increase of a ripple can be prevented.

[0116] Moreover, in the electronic instrument of this invention, improvement in

the effectiveness at the time of standby can be aimed at by using the switching power supply equipment of this invention.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

[Brief Description of the Drawings]

[Drawing 1] It is the circuit diagram showing one example of the switching power supply equipment of this invention.

[Drawing 2] It is the property Fig. showing Vbias at the time of (a) rating of the switching power supply equipment of drawing 1, and the (b) light load, and time amount change of Vc4, Vc5, and Vc6.

[Drawing 3] It is the circuit diagram showing another example of the switching power supply equipment of this invention.

[Drawing 4] It is the property Fig. showing Vbias at the time of (a) rating of the switching power supply equipment of drawing 3, and the (b) light load, and time amount change of Vc6 and Vc7.

[Drawing 5] It is the circuit diagram showing still more nearly another example of the switching power supply equipment of this invention.

[Drawing 6] It is the property Fig. showing Vbias at the time of (a) rating of the



switching power supply equipment of drawing 5 , and the (b) light load, and time amount change of  $V_c$ .

[Drawing 7] It is the perspective view showing one example of the electronic instrument of this invention.

[Description of Notations]

1, 10, 20 -- Switching power supply equipment

2 -- Rectification smoothing circuit

3 -- Output voltage detecting circuit

4, 11, 21 -- Control circuit

12 22 -- Integrated circuit

13 -- Drive circuit

22 -- Monostable multivibrator

30 -- Printer

T -- Transformer

N1 -- Primary winding

N2 -- Secondary winding

N3 -- Feedback winding

$V_{in}$  -- DC power supply

R1 -- Starting resistance

R2, R3, R4, R5, R6, R7, R8, R9 -- Resistance

C1, C2, C3, C4, C5, C6, C7, C8 -- Capacitor

Q1 -- Switching element

Q2, Q3, Q4 -- Transistor

D1, D2, D4 -- Diode

D3 -- Zener diode

I -- Constant current source

$V_{ref}$  -- Source of reference voltage

$V_{off}$  -- Source of offset voltage

PD -- Photodiode

PT -- Photo transistor

IC1, IC2, IC3, IC5, IC6, IC8, IC9 -- Comparator

IC4, IC7, IC10 -- AND circuit

IC11 -- RS flip flop

---

[Translation done.]

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

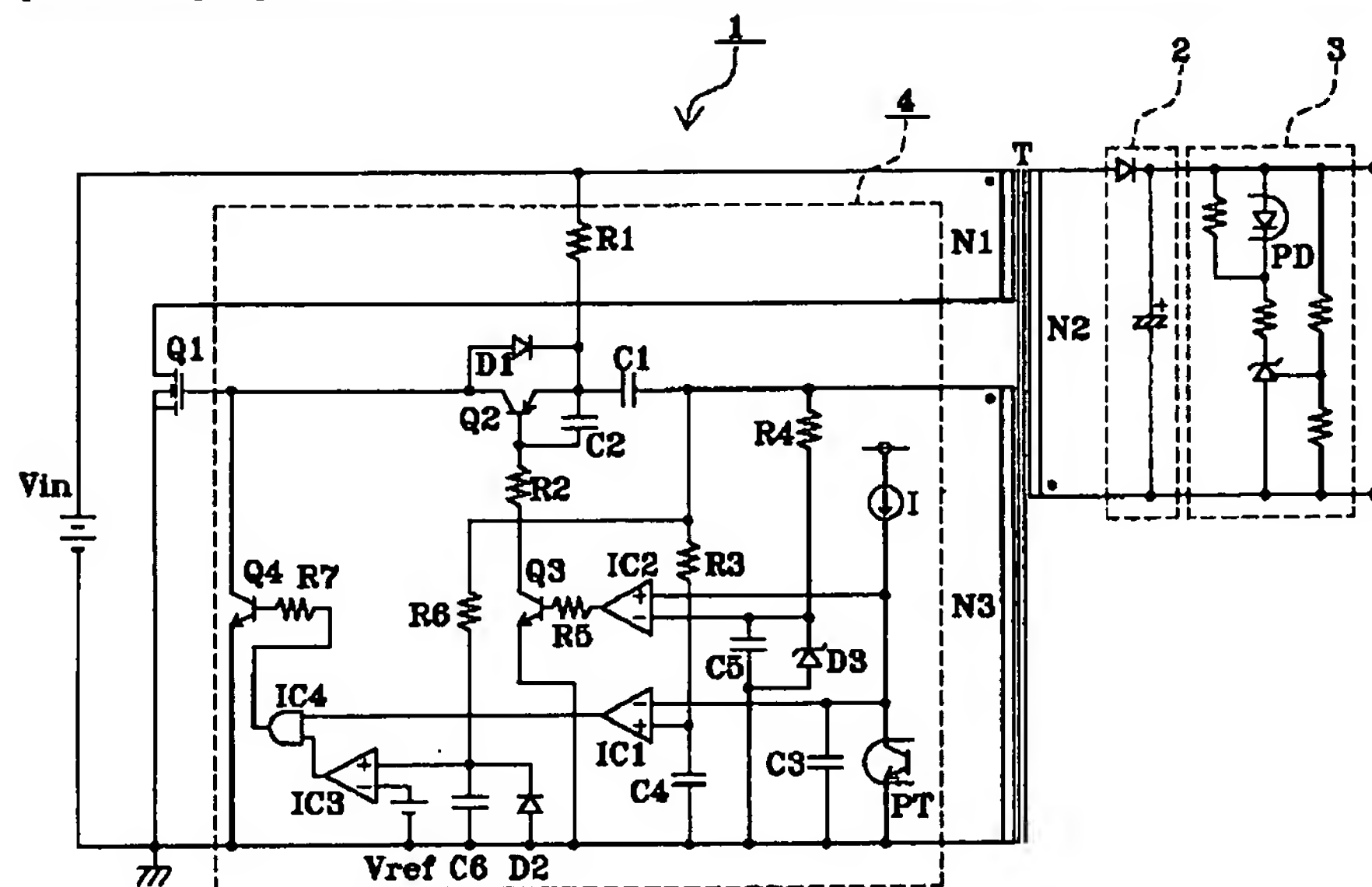
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

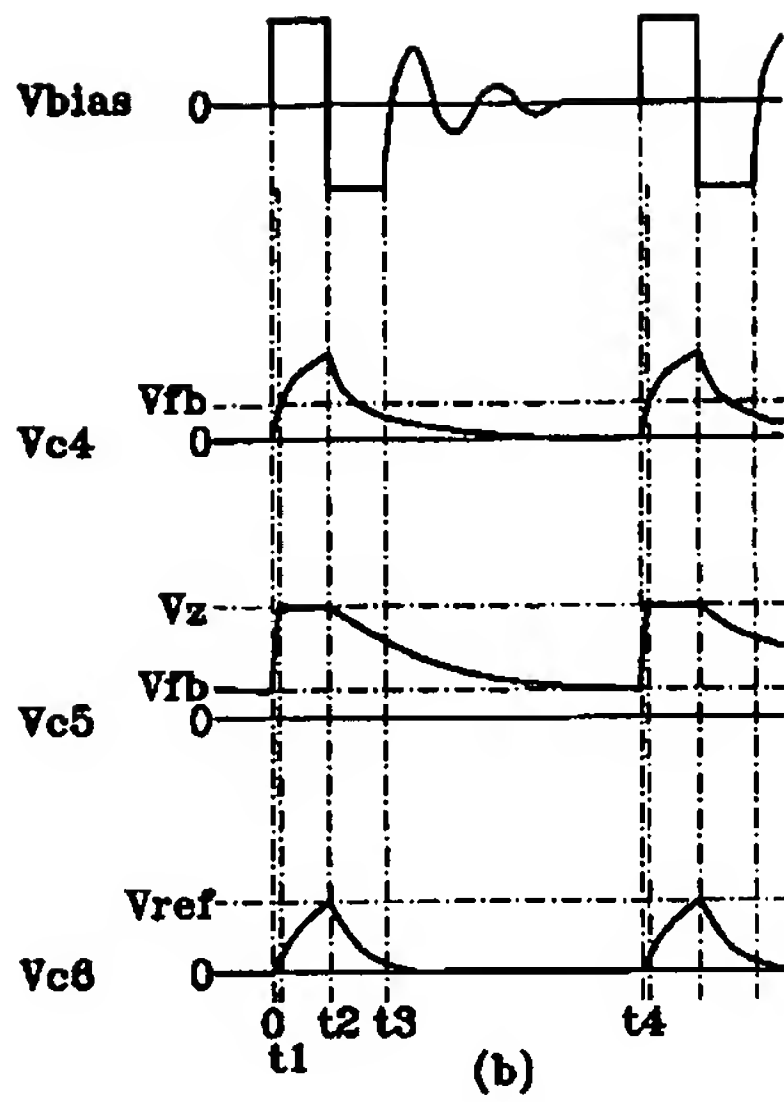
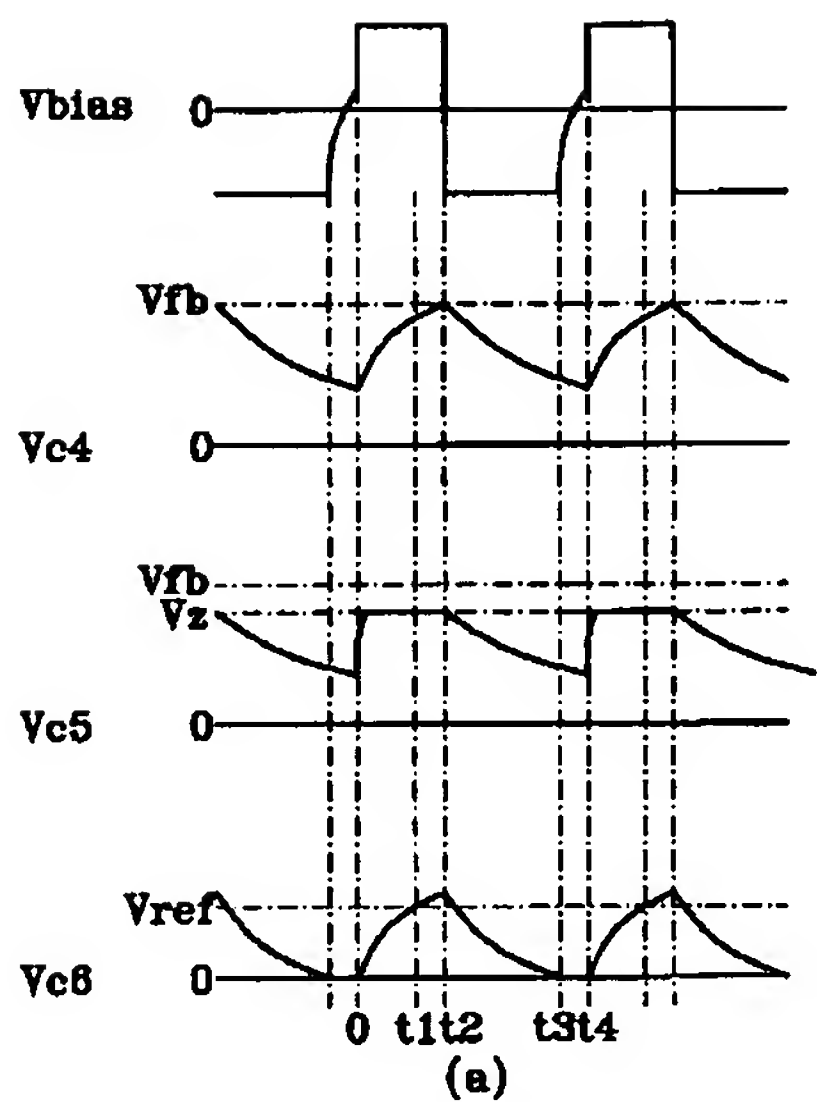
## DRAWINGS

---

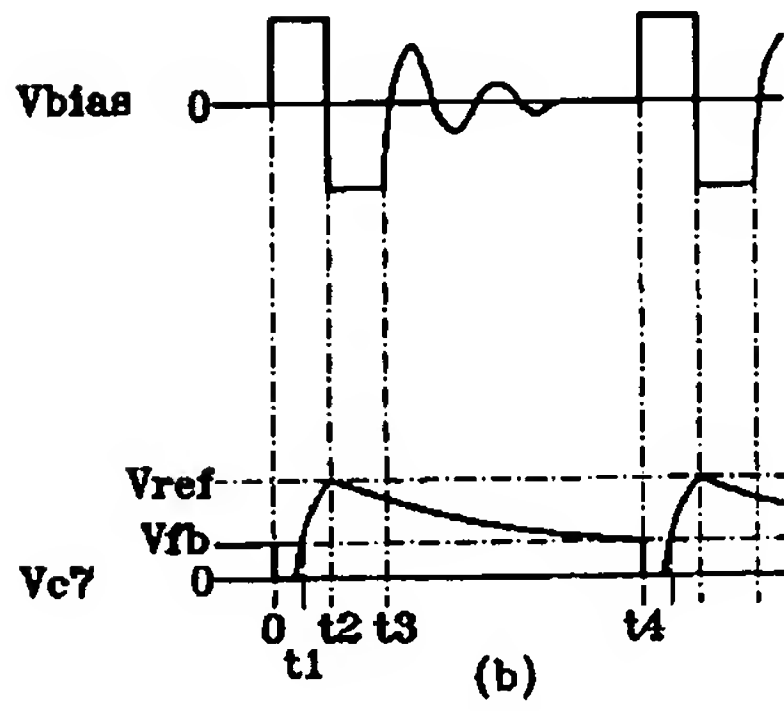
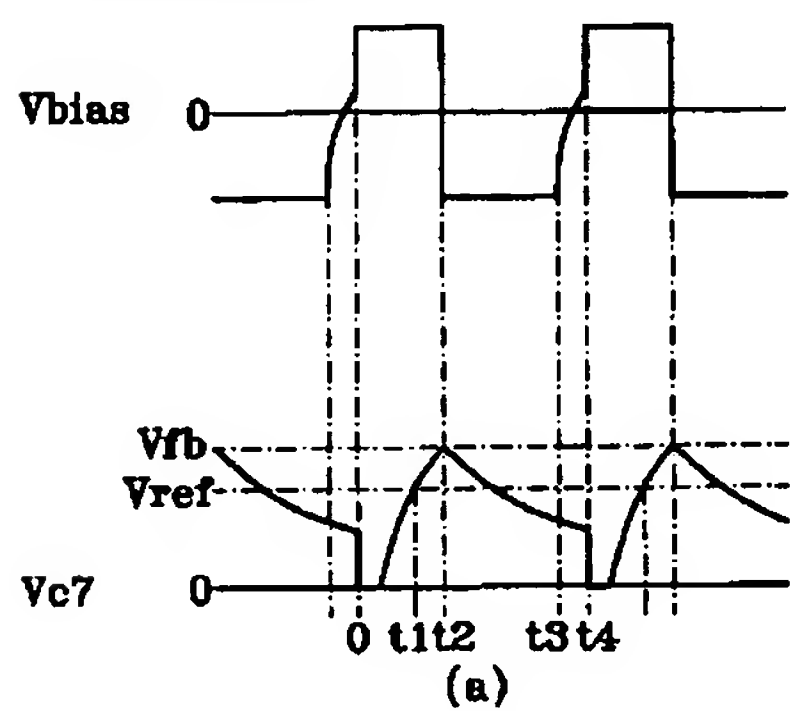
[Drawing 1]



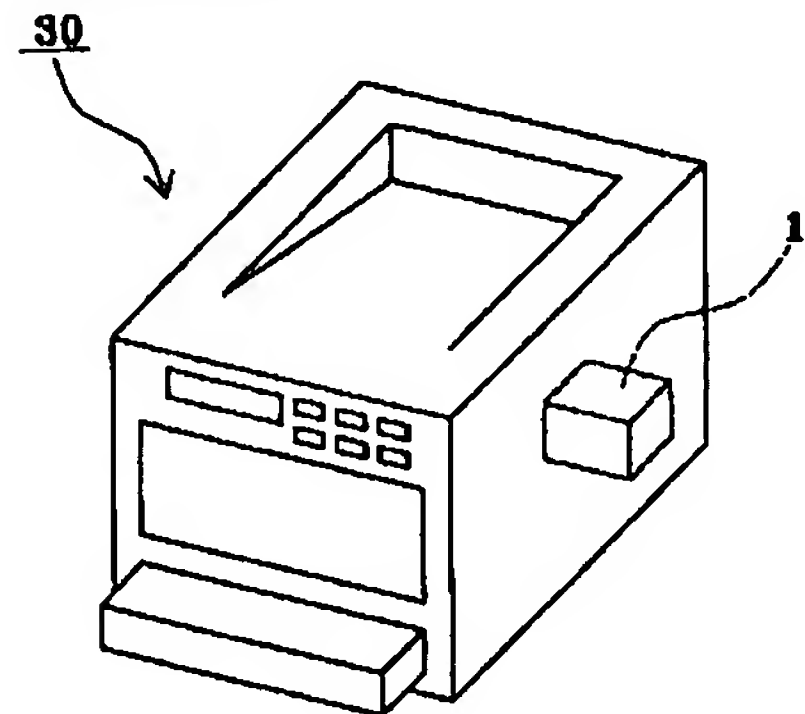
[Drawing 2]



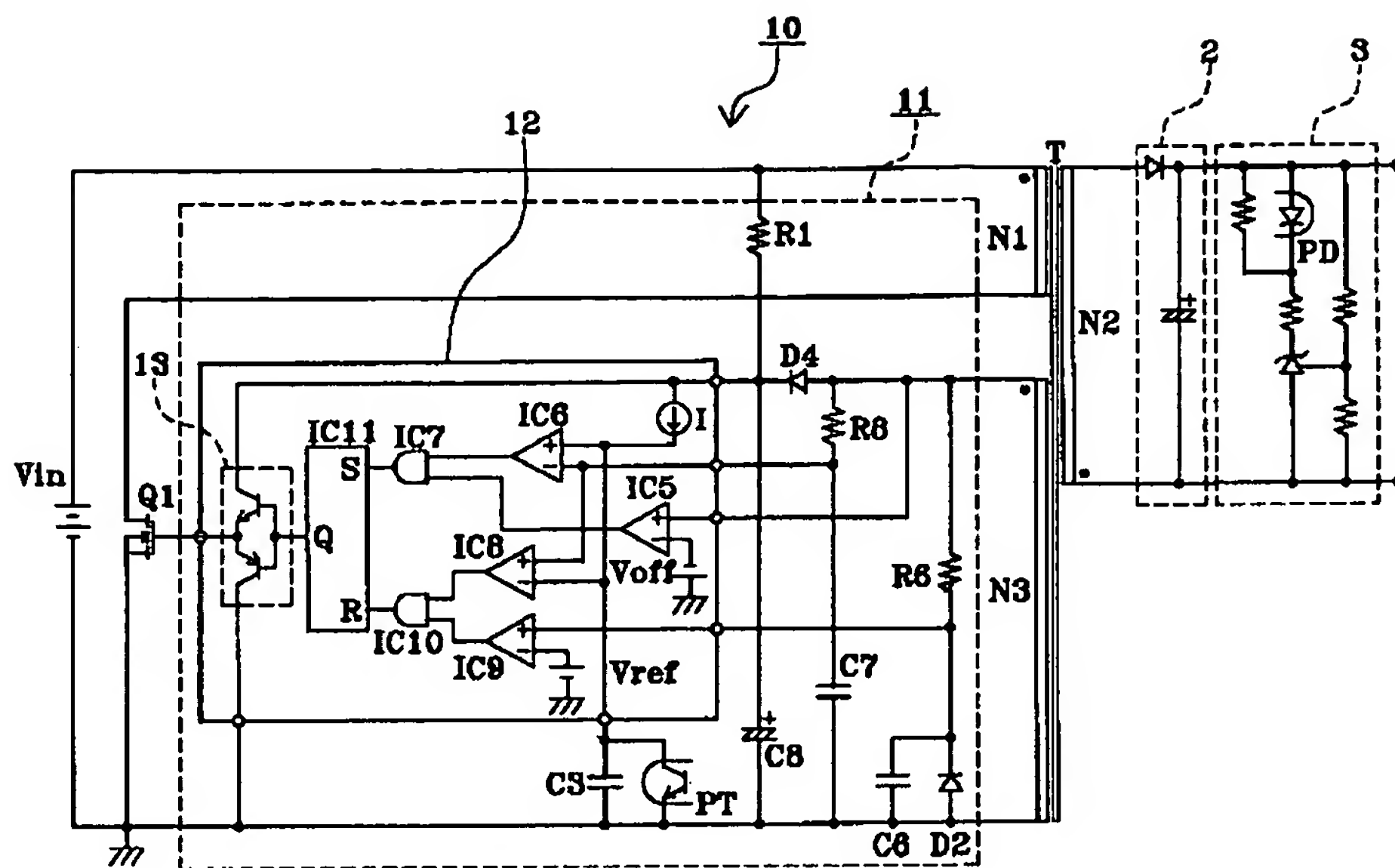
[Drawing 6]



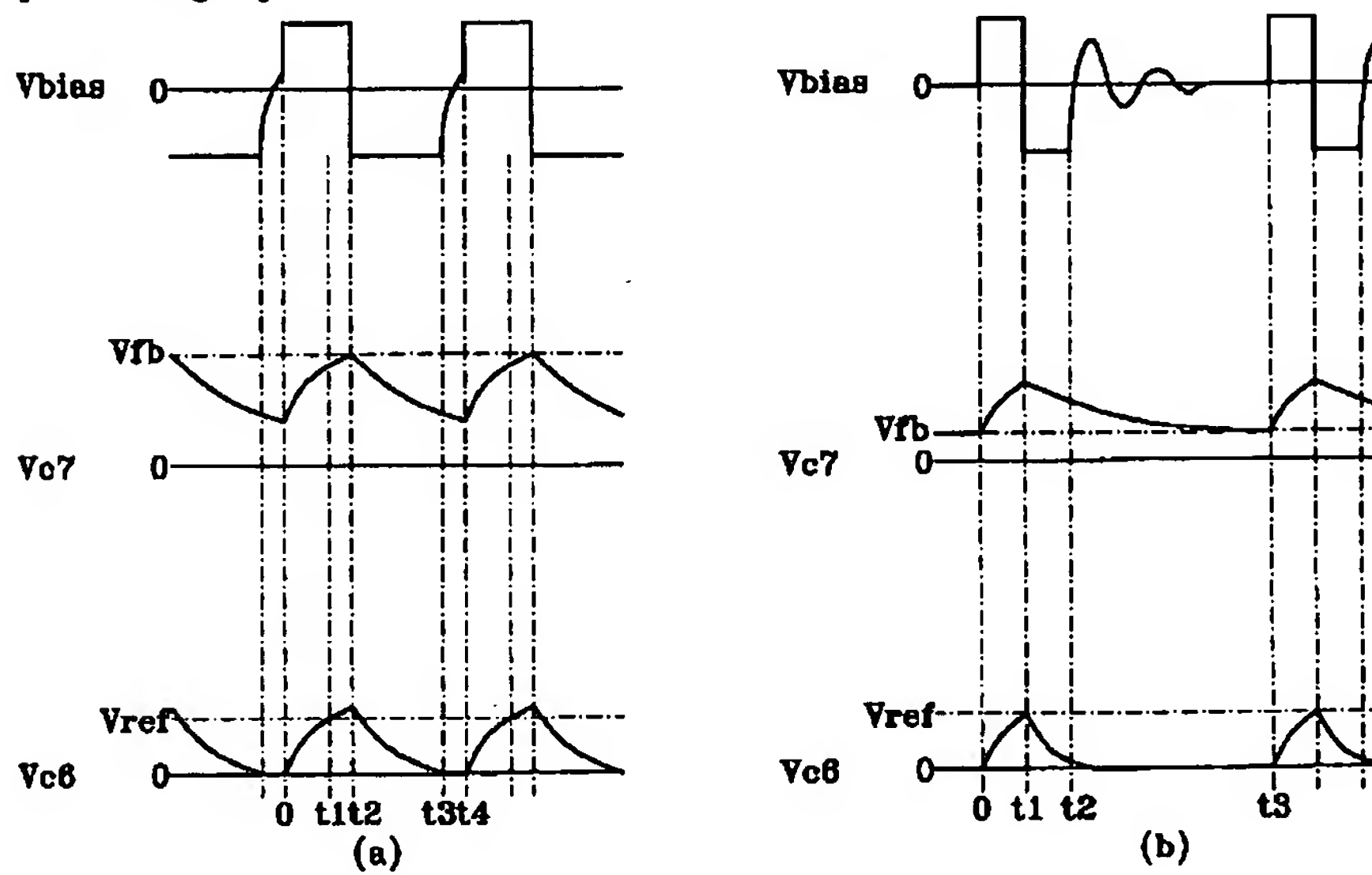
[Drawing 7]



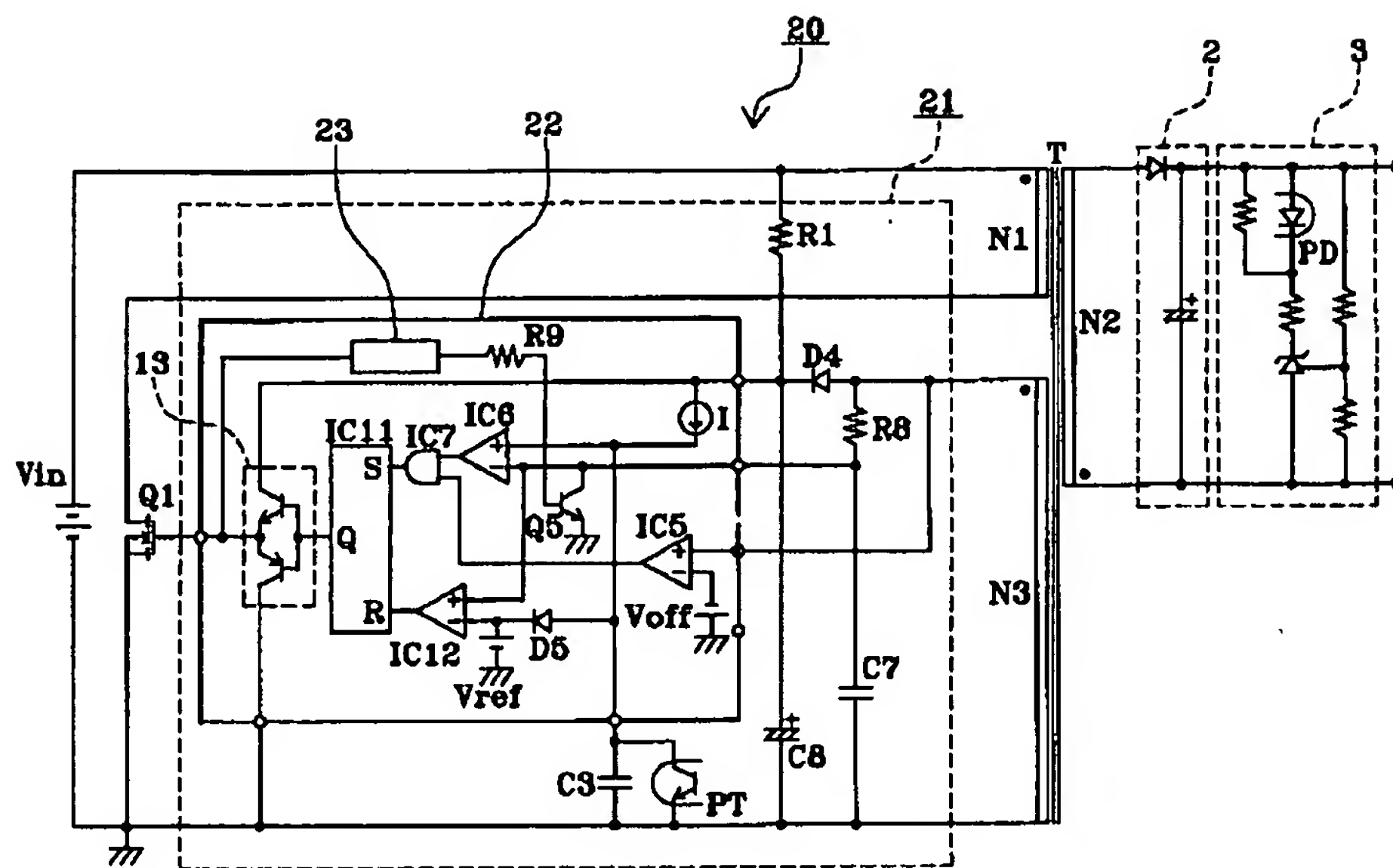
[Drawing 3]



[Drawing 4]



[Drawing 5]



[Translation done.]



(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開 2002-369517

(P 2002-369517A)

(43) 公開日 平成14年12月20日 (2002. 12. 20)

(51) Int. Cl. 7

識別記号

F I

テーマコード (参考)

H 0 2 M 3/28

H 0 2 M 3/28

H 5H730

審査請求 未請求 請求項の数 10 O L

(全 17 頁)

(21) 出願番号 特願2001-172789 (P2001-172789)

(22) 出願日 平成13年6月7日 (2001. 6. 7)

(71) 出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72) 発明者 西田 映雄

京都府長岡京市天神二丁目26番10号 株式  
会社村田製作所内

(72) 発明者 竹村 博

京都府長岡京市天神二丁目26番10号 株式  
会社村田製作所内

F ターム (参考) 5H730 AA02 AA14 AA15 AS00 AS01  
AS19 BB43 BB55 DD04 DD22  
DD28 EE07 EE59 FD03 FF19  
FG01 FG04

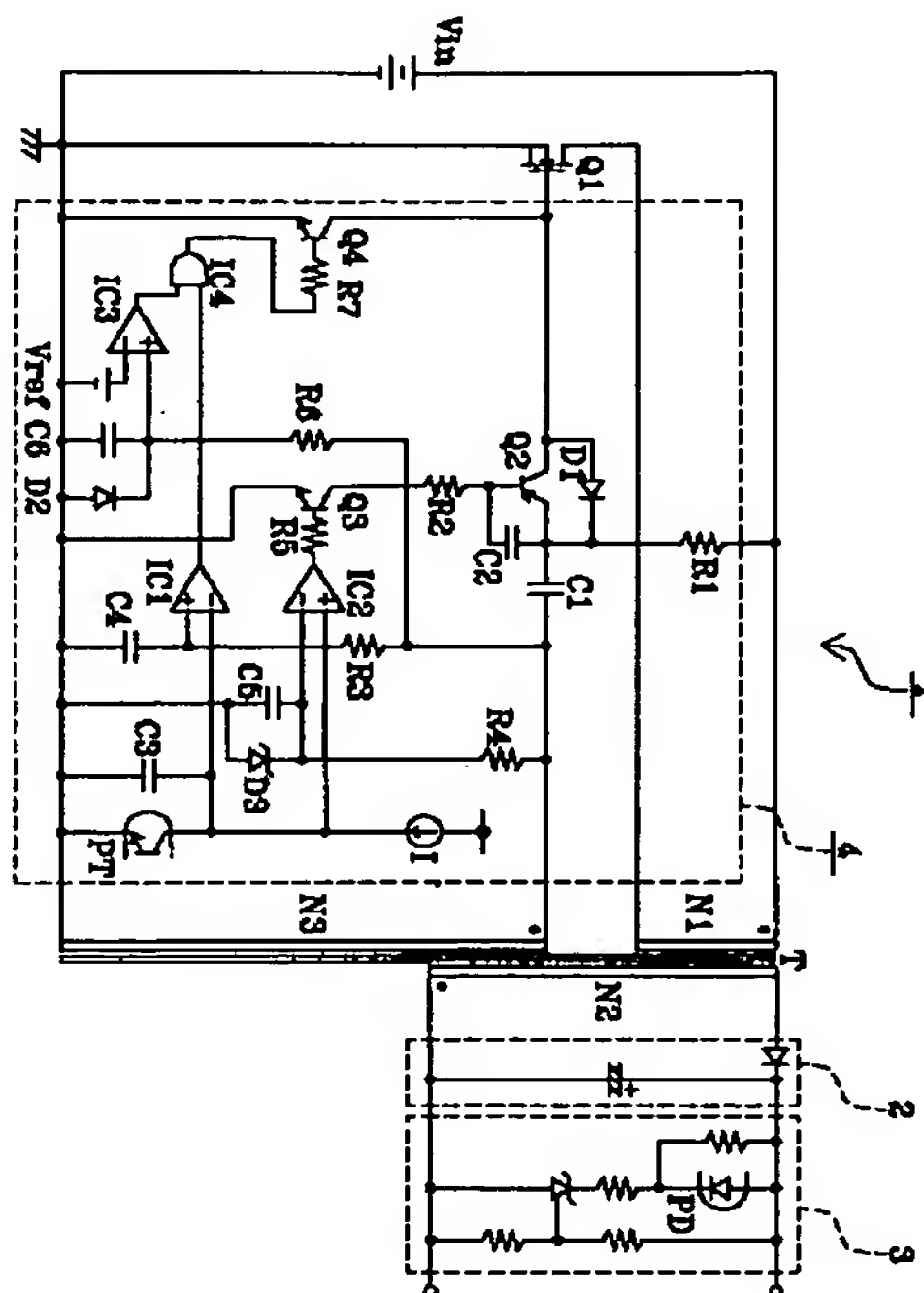
(54) 【発明の名称】 スイッチング電源装置およびそれを用いた電子装置

(57) 【要約】

【課題】 軽負荷時のスイッチング損失が少なく、間欠発振や出力リップルの増大という問題が発生しないスイッチング電源装置およびそれを用いた電子装置を提供する。

【解決手段】 帰還巻線 N 3 とスイッチング素子 Q 1 間の制御回路 4 に、フィードバック信号に基づいて出力電圧が一定になるように、非軽負荷時にスイッチング素子 Q 1 のオン期間を負荷が軽くなるほど短くなるように制御するオン期間制御回路と、軽負荷時にスイッチング素子 Q 1 のオン期間が所定の最小オン期間より短くならないようにオン期間制御回路の動作を抑制する最小オン期間設定回路と、軽負荷時にスイッチング素子 Q 1 のオフ期間を負荷が軽くなるほど長くなるように制御するオフ期間制御回路とを備える。

【効果】 軽負荷時のスイッチング損失の低減を図ることができる。また、軽負荷時の間欠発振の発生とリップルの増大を防止することができる。



## 【特許請求の範囲】

【請求項 1】 一次巻線、二次巻線および帰還巻線を有するトランスと、前記一次巻線に直列に接続されたスイッチング素子と、前記帰還巻線と前記スイッチング素子の制御端子との間に接続された制御回路と、前記二次巻線に接続されて前記二次巻線に発生する電圧を整流平滑して出力する整流平滑回路と、該整流平滑回路から出力される電圧を検出して前記制御回路に対するフィードバック信号を出力する出力電圧検知回路を備えたスイッチング電源装置において、

前記制御回路が、前記フィードバック信号に基づいて出力電圧が一定になるように、非軽負荷時に所定の最小オン期間より大きい範囲でオン期間を制御し、軽負荷時にオン期間を最小オン期間に固定してオフ期間を制御することを特徴とするスイッチング電源装置。

【請求項 2】 一次巻線、二次巻線および帰還巻線を有するトランスと、前記一次巻線に直列に接続されたスイッチング素子と、前記帰還巻線と前記スイッチング素子の制御端子との間に接続された制御回路と、前記二次巻線に接続されて前記二次巻線に発生する電圧を整流平滑して出力する整流平滑回路と、該整流平滑回路から出力される電圧を検出して前記制御回路に対するフィードバック信号を出力する出力電圧検知回路を備えたスイッチング電源装置において、

前記制御回路が、前記フィードバック信号に基づいて出力電圧が一定になるように、非軽負荷時に前記スイッチング素子のオン期間を負荷が軽くなるほど短くなるように制御するオン期間制御回路と、軽負荷時に前記スイッチング素子のオン期間が所定の最小オン期間より短くならないように前記オン期間制御回路による前記スイッチング素子のターンオフ動作を抑制する最小オン期間設定回路と、軽負荷時に前記最小オン期間設定回路が前記オン期間制御回路の動作を抑制しているときに前記スイッチング素子のオフ期間を負荷が軽くなるほど長くなるように制御するオフ期間制御回路とを備えることを特徴とするスイッチング電源装置。

【請求項 3】 非軽負荷時に電流臨界モードで動作することを特徴とする、請求項 2 に記載のスイッチング電源装置。

【請求項 4】 前記オン期間制御回路は、前記スイッチング素子のオン期間に充電あるいは放電されるとともに、その両端電圧が前記フィードバック信号によって決定される電圧と一致あるいは交差する時に前記スイッチング素子のターンオフのタイミングが決定される第 1 のコンデンサを有し、

前記最小オン期間設定回路は、前記スイッチング素子のオン期間に充電あるいは放電されるとともに、その両端電圧が基準電圧と一致あるいは交差する時まで前記オン期間制御回路による前記スイッチング素子のターンオフを抑制する第 2 のコンデンサを有し、

前記オフ期間制御回路は、前記スイッチング素子のオフ期間に充電あるいは放電されるとともに、その両端電圧が前記フィードバック信号によって決定される電圧と一致あるいは交差する時に前記スイッチング素子のターンオンのタイミングが決定される第 3 のコンデンサを有することを特徴とする、請求項 2 または 3 に記載のスイッチング電源装置。

【請求項 5】 前記第 1 のコンデンサが前記第 3 のコンデンサを兼ねることを特徴とする、請求項 4 に記載のスイッチング電源装置。

【請求項 6】 前記第 1 のコンデンサが前記第 2 および第 3 のコンデンサを兼ねることを特徴とする、請求項 4 に記載のスイッチング電源装置。

【請求項 7】 前記オン期間制御回路が動作している時は、前記第 1 のコンデンサの両端電圧が前記フィードバック信号によって決定される電圧と一方向から一致あるいは交差する時に前記スイッチング素子のターンオフのタイミングが決定され、

前記最小オン期間設定回路が前記オン期間制御回路の動作を抑制しているときは、前記第 1 のコンデンサの両端電圧が前記フィードバック信号によって決定される電圧と逆方向から一致あるいは交差する時に前記スイッチング素子のターンオンのタイミングが決定されることを特徴とする、請求項 5 または 6 に記載のスイッチング電源装置。

【請求項 8】 前記最小オン期間設定回路は、前記オン期間制御回路に含まれて、軽負荷時に前記スイッチング素子のターンオンから一定期間だけ前記オン期間制御回路の動作を抑制して前記スイッチング素子のターンオフを禁止する手段であることを特徴とする、請求項 4 ないし 7 のいずれかに記載のスイッチング電源装置。

【請求項 9】 前記最小オン期間設定回路は、前記第 1 のコンデンサを前記スイッチング素子のターンオン時に放電し、前記第 1 のコンデンサの電圧がその後の充電によって所定の電圧と一致あるいは交差するまで前記スイッチング素子のターンオフを禁止することを特徴とする、請求項 8 に記載のスイッチング電源装置。

【請求項 10】 請求項 1 ないし 9 のいずれかに記載のスイッチング電源装置を用いたことを特徴とする電子装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、スイッチング電源装置およびそれを用いた電子装置、特に軽負荷時の損失低減を図ったスイッチング電源装置およびそれを用いた電子装置に関する。

【0002】

【従来の技術】スイッチング電源装置、例えば R C C 方式のスイッチング電源装置においては、負荷の軽重に応じてスイッチング周波数が変化するという性質がある。

すなわち、重負荷時にはスイッチング素子のオン時間とオフ時間がともに長くなるためにスイッチング周波数は低下し、軽負荷時にはスイッチング素子のオン時間とオフ時間がともに短くなるためにスイッチング周波数は上昇する。スイッチング電源装置においては様々な損失が発生するが、その中でもスイッチング素子においてスイッチング毎に発生するスイッチング損失というものがある。スイッチング損失はスイッチング毎に発生するため、軽負荷時に周波数が増えるとスイッチング損失が大きくなり、軽負荷時におけるスイッチング電源装置の損失の主要なものになるという問題がある。また、負荷が非常に軽くなると、間欠発振が発生して、出力リップルが増大したり、異音が発生したりするという問題もある。

【0003】そこで、軽負荷時のスイッチング周波数の上昇を抑えるために、例えば特開2001-16849号公報には、軽負荷時にスイッチングの回数を低減するスイッチング電源装置が開示されている。ここでは、スイッチング素子の最小オン時間を設定して、負荷が軽くなって出力電圧が増したときにスイッチング素子のオン時間が最小オン時間より短くならないように、スイッチング素子をターンオンさせようとする信号をマスキングしてターンオンを抑制している。これによって軽負荷時のスイッチング回数を減らしてスイッチング損失の低減を図っている。

【0004】

【発明が解決しようとする課題】しかしながら、特開2001-16849号公報に開示されたスイッチング電源装置においては、出力電圧が設定値以上の時にのみスイッチング素子をターンオンさせようとする信号をマスキングしてターンオンさせない手法であるため、スイッチング素子のオフ期間や周波数は静的負荷においても一定とは限らない。そのため、出力リップルの増大や異音の問題は必ずしも改善されない。

【0005】本発明は上記の問題点を解決することを目的とするもので、軽負荷時のスイッチング損失が少なく、間欠発振や出力リップルの増大という問題が発生しないスイッチング電源装置およびそれを備えた電子装置を提供する。

【0006】

【課題を解決するための手段】上記目的を達成するために、本発明のスイッチング電源装置は、一次巻線、二次巻線および帰還巻線を有するトランスと、前記一次巻線に直列に接続されたスイッチング素子と、前記帰還巻線と前記スイッチング素子の制御端子との間に接続された制御回路と、前記二次巻線に接続されて前記二次巻線に発生する電圧を整流平滑して出力する整流平滑回路と、該整流平滑回路から出力される電圧を検出して前記制御回路に対するフィードバック信号を出力する出力電圧検知回路を備えたスイッチング電源装置において、前記制

御回路が、前記フィードバック信号に基づいて出力電圧が一定になるように、非軽負荷時に所定の最小オン期間より大きい範囲でオン期間を制御し、軽負荷時にオン期間を最小オン期間に固定してオフ期間を制御することを特徴とする。

【0007】また、本発明のスイッチング電源装置は、一次巻線、二次巻線および帰還巻線を有するトランスと、前記一次巻線に直列に接続されたスイッチング素子と、前記帰還巻線と前記スイッチング素子の制御端子との間に接続された制御回路と、前記二次巻線に接続されて前記二次巻線に発生する電圧を整流平滑して出力する整流平滑回路と、該整流平滑回路から出力される電圧を検出して前記制御回路に対するフィードバック信号を出力する出力電圧検知回路を備えたスイッチング電源装置において、前記制御回路が、前記フィードバック信号に基づいて出力電圧が一定になるように、非軽負荷時に前記スイッチング素子のオン期間を負荷が軽くなるほど短くなるように制御するオン期間制御回路と、軽負荷時に前記スイッチング素子のオン期間が所定の最小オン期間より短くならないように前記オン期間制御回路による前記スイッチング素子のターンオフ動作を抑制する最小オン期間設定回路と、軽負荷時に前記最小オン期間設定回路が前記オン期間制御回路の動作を抑制しているときに前記スイッチング素子のオフ期間を負荷が軽くなるほど長くなるように制御するオフ期間制御回路とを備えることを特徴とする。

【0008】また、本発明のスイッチング電源装置は、非軽負荷時に電流臨界モードで動作することを特徴とする。

【0009】また、本発明のスイッチング電源装置は、前記オン期間制御回路が、前記スイッチング素子のオン期間に充電あるいは放電されるとともに、その両端電圧が前記フィードバック信号によって決定される電圧と一致あるいは交差する時に前記スイッチング素子のターンオフのタイミングが決定される第1のコンデンサを有し、前記最小オン期間設定回路が、前記スイッチング素子のオン期間に充電あるいは放電されるとともに、その両端電圧が基準電圧と一致あるいは交差する時まで前記オン期間制御回路による前記スイッチング素子のターンオフを抑制する第2のコンデンサを有し、前記オフ期間制御回路が、前記スイッチング素子のオフ期間に充電あるいは放電されるとともに、その両端電圧が前記フィードバック信号によって決定される電圧と一致あるいは交差する時に前記スイッチング素子のターンオンのタイミングが決定される第3のコンデンサを有することを特徴とする。

【0010】また、本発明のスイッチング電源装置は、前記第1のコンデンサが前記第3のコンデンサを兼ねることを特徴とする。

【0011】また、本発明のスイッチング電源装置は、



前記第1のコンデンサが前記第2および第3のコンデンサを兼ねることを特徴とする。

【0012】また、本発明のスイッチング電源装置は、前記オン期間制御回路が動作している時は、前記第1のコンデンサの両端電圧が前記フィードバック信号によって決定される電圧と一方向から一致あるいは交差する時に前記スイッチング素子のターンオフのタイミングが決定され、前記最小オン期間設定回路が前記オン期間制御回路の動作を抑制しているときは、前記第1のコンデンサの両端電圧が前記フィードバック信号によって決定される電圧と逆方向から一致あるいは交差する時に前記スイッチング素子のターンオンのタイミングが決定されることを特徴とする。

【0013】また、本発明のスイッチング電源装置は、前記最小オン期間設定回路が、前記オン期間制御回路に含まれて、軽負荷時に前記スイッチング素子のターンオンから一定期間だけ前記オン期間制御回路の動作を抑制して前記スイッチング素子のターンオフを禁止する手段であることを特徴とする。

【0014】また、本発明のスイッチング電源装置は、前記最小オン期間設定回路が、前記第1のコンデンサを前記スイッチング素子のターンオン時に放電し、前記第1のコンデンサの電圧がその後の充電によって所定の電圧と一致あるいは交差するまで前記スイッチング素子のターンオフを禁止することを特徴とする。

【0015】また、本発明の電子装置は、上記のスイッチング電源装置を用いたことを特徴とする。

【0016】このように構成することにより、本発明のスイッチング電源装置においては、軽負荷時のスイッチング損失の低減を図ることができる。また、軽負荷時の間欠発振の発生とリップルの増大を防止することができる。

【0017】また、本発明の電子装置においては、待機時の効率の向上を図ることができる。

【0018】

【発明の実施の形態】図1に、本発明のスイッチング電源装置の一実施例の回路図を示す。図1において、スイッチング電源装置1は、一次巻線N1、二次巻線N2、帰還巻線N3を有するトランスTと、一次巻線N1に直列に接続された直流電源VinおよびMOSFETからなるスイッチング素子Q1と、二次巻線N2に接続された整流平滑回路2と、整流平滑回路2に接続された出力電圧検知回路3と、帰還巻線N3とスイッチング素子Q1の制御端子であるゲートとの間に設けられた制御回路4とを有している。このうち、出力電圧検知回路3は制御回路4に対してフィードバック信号を出力するためのフォトカブラのうちのフォトダイオードPDを有しており、負荷が軽くなって出力電圧が高くなるほど発光量が多くなるように接続されている。

【0019】次に制御回路4について説明する。帰還巻

線N3の一端はコンデンサC1、トランジスタQ2のエミッターコレクタ間を介してスイッチング素子Q1のゲートに接続されており、他端はスイッチング素子Q1のソース、すなわちグランドに接続されている。トランジスタQ2のエミッターコレクタ間にはダイオードD1が、エミッターベース間にはコンデンサC2が接続されており、さらにエミッタは起動抵抗R1を介して直流電源Vinに、ベースは抵抗R2とトランジスタQ3のコレクターエミッタ間を順に介してグランドに接続されている。

【0020】出力電圧検知回路3のフォトダイオードPDと対になっているフォトトランジスタPTは、コレクタが定電流源Iに接続され、エミッタがグランドに接続され、コレクターエミッタ間にコンデンサC3が接続されており、さらにコレクタは比較器IC1の反転入力端子および比較器IC2の非反転入力端子に接続されている。なお、定電流源Iは直流電源Vinあるいは帰還巻線N3の電圧を整流平滑した電源から作られる。

【0021】また、帰還巻線N3の一端は、抵抗R3と第1のコンデンサであるコンデンサC4を順に介してグランドに接続されており、抵抗R3とコンデンサC4の接続点は比較器IC1の非反転入力端子に接続されている。比較器IC1の出力はAND回路IC4の一方の入力に接続されている。帰還巻線N3の一端は抵抗R4を介し、さらにツェナーダイオードD3と第3のコンデンサであるコンデンサC5の並列回路を介してグランドに接続されており、抵抗R4とコンデンサC5の接続点は比較器IC2の反転入力端子に接続されている。比較器IC2の出力は抵抗R5を介してトランジスタQ3のベースに接続されている。

【0022】さらに、帰還巻線N3の一端は抵抗R6を介し、さらにダイオードD2と第2のコンデンサであるコンデンサC6の並列回路を介してグランドに接続されており、抵抗R6とコンデンサC6の接続点は比較器IC3の非反転入力端子に接続されている。比較器IC3の反転入力端子には基準電圧源Vrefが接続されており、その出力はAND回路IC4の他方の入力に接続されている。AND回路IC4の出力は抵抗R7を介してトランジスタQ4のベースに接続されており、スイッチング素子Q1のゲートはトランジスタQ4のコレクターエミッタ間を介してグランドに接続されている。

【0023】次に、このように構成されたスイッチング電源装置1の動作を、図2を参照して説明する。図2は、スイッチング電源装置1の(a)定格時と(b)軽負荷時における、帰還巻線N3の電圧Vbias、第1のコンデンサであるコンデンサC4の両端電圧Vc4、第3のコンデンサであるコンデンサC5の両端電圧Vc5、第2のコンデンサであるコンデンサC6の両端電圧Vc6の時間変化を示している。ここで、VfbはフォトトランジスタPTのコレクタ電圧で、フィードバック

電圧として比較器 IC1 の反転入力端子に入力されている。Vfb は負荷の変動に従って変動するが、出力電圧が一定の時にはほぼ一定の値になる。ここでは、定電流源 I、フォトトランジスタ PT、コンデンサ C3 をフィードバック電圧発生回路と呼ぶ。また、Vz はツェナーダイオード D3 の降伏動作時のカソード電圧で、比較器 IC2 の反転入力端子に入力されている。そして、Vref は基準電圧源 Vref の電圧で比較器 IC3 の反転入力端子に接続されている。

【0024】まず、非軽負荷時である定格時の動作を時間を追って説明する。なお、ここでは負荷があらかじめ決められた値より軽い場合を軽負荷時、それより重い定格時などの場合を非軽負荷時と定義する。

【0025】( $t=0 \sim t_1$ ) スイッチング素子 Q1 がターンオンすると一次巻線 N1 に電流が流れ、同時に帰還巻線 N3 の電圧 Vbias が正になり、コンデンサ C4、C5、C6 の充電が始まる。コンデンサ C5 の充電は両端電圧 Vc5 が Vz に達した時点で止まり、それ以上は充電されない。なお、定格時には Vfb は Vz より高いレベルになるように設定されているため、比較器 IC2 の出力は Hレベルとなっている。比較器 IC2 の出力が Hレベルのときはトランジスタ Q3 がオン状態となっており、それによってトランジスタ Q2 もオン状態となっている。

【0026】( $t=t_1 \sim t_2$ ) コンデンサ C6 の両端電圧 Vc6 が Vref を超えると比較器 IC3 の出力が Hレベルになる。しかしながら、この時点ではコンデンサ C4 の両端電圧 Vc4 が Vfb を超えていないために比較器 IC1 の出力が Lレベルを保っており、AND回路 IC4 の出力は Lレベルを保っている。

【0027】( $t=t_2 \sim t_3$ ) コンデンサ C4 の両端電圧 Vc4 が Vfb を超えると、比較器 IC1 の出力が Hレベルになる。これによって、AND回路 IC4 の2つの入力とともに Hレベルとなり、その出力も Hレベルとなり、抵抗 R7 を介してトランジスタ Q4 をオンさせる。トランジスタ Q4 がオンすることによってスイッチング素子 Q1 がターンオフし、オン期間が終了する。すなわち、第1のコンデンサであるコンデンサ C4 の両端電圧 Vc4 がフィードバック信号によって決定される電圧である Vfb と交差することが、スイッチング素子 Q1 のターンオフのタイミングが決定されるトリガとなり、オン期間を決めることになる。

【0028】フォトトランジスタ PT は負荷が軽くなってフォトダイオード PD からの受光量が多くなるほどコレクター-エミッタ間の抵抗が低下するため、Vfb は負荷が軽くなるほど低下する傾向がある。そのため、コンデンサ C4 の両端電圧 Vc4 が Vfb を超えるまでの時間は負荷が軽くなるほど短くなる。これより、この抵抗 R3、コンデンサ C4、比較器 IC1、AND回路 IC4、抵抗 R7、トランジスタ Q4、およびフィードバッ

ク電圧発生回路を含む回路が、非軽負荷時にスイッチング素子 Q1 のオン期間を負荷が軽くなるほど短くなるように制御するオン期間制御回路であることがわかる。

【0029】スイッチング素子 Q1 がターンオフすると、二次巻線 N2 から整流平滑回路 2 に電流が流れ始め、同時に帰還巻線 N3 の電圧 Vbias が負になるために、コンデンサ C4、C5、C6 は放電し始める。コンデンサ C4 が放電を始めるとすぐにその両端電圧 Vc4 が Vfb より低くなるため、比較器 IC1 の出力は Lレベルとなり、AND回路 IC4 の出力が Lレベルとなり、トランジスタ Q4 はオフ状態に戻る。すなわち、トランジスタ Q4 はスイッチング素子 Q1 をターンオフさせるために一時的にオンになるだけである。

【0030】また、上記の説明よりわかるように、コンデンサ C4 の両端電圧 Vc4 は一旦 Vfb を超えてもすぐに Vfb より低くなるため、図 2 に示すように見かけ上は交差ではなく一致した時点でスイッチング素子 Q1 のターンオフのタイミングが決定されるように見える。

【0031】( $t=t_3 \sim t_4$ ) スイッチング素子 Q1 がオフの間に二次巻線 N2 から整流平滑回路 2 に流れ出す電流がゼロになると、帰還巻線 N3 の電圧 Vbias は共振を始める。

【0032】( $t=t_4 \sim$ ) この共振する電圧 Vbias の最初の正電圧方向の波がオン状態にあるトランジスタ Q2 を介してスイッチング素子 Q1 のゲートに印加され、スイッチング素子 Q1 がターンオンする。すなわち、二次巻線 N2 から整流平滑回路 2 に流れ出す電流がゼロになることがスイッチング素子 Q1 のターンオンのトリガになる。スイッチング素子 Q1 がターンオンすると電圧 Vbias の共振は止まり、 $t=0$  のときと同様に再び正の電圧になる。これ以後は  $t=0$  以降を繰り返す。

【0033】このように、定格時（非軽負荷時）には、一次巻線 N1 に電流が流れなくなるとすぐに二次巻線 N2 から整流平滑回路 2 に電流が流れ出し始め、二次巻線 N2 から流れ出す電流がゼロになるとすぐにスイッチング素子 Q1 がターンオンして一次巻線 N1 に電流が流れ始める。このような動作モードを電流臨界モードといい、スイッチング電源装置 1 は定格時には電流臨界モードで動作していることがわかる。

【0034】なお、非軽負荷時でスイッチング素子 Q1 のオン期間が制御されているときには、負荷の軽重によるオン期間の伸び縮みに合わせてトランス T に蓄積される磁気エネルギーも増減するため、そのエネルギーの放出期間であるところのオフ期間も伸び縮みする。

【0035】次に、軽負荷時の動作を時間を追って説明する。

【0036】( $t=0 \sim t_1$ ) スイッチング素子 Q1 がターンオンすると一次巻線 N1 に電流が流れ、同時に帰還巻線 N3 の電圧 Vbias が正になり、コンデンサ C



4、C5、C6の充電が始まる。このとき、後述のようにスイッチング素子Q1のターンオン時にはコンデンサC6は完全に放電された状態にあり、その両端電圧Vc6は0Vとなっている。コンデンサC5の充電は両端両端電圧Vc5がVzに達した時点で止まり、それ以上は充電されない。なお、軽負荷時にはVfbはVzより低いレベルになるように設定されているため、比較器IC2の出力はLレベルとなっている。比較器IC2の出力がLレベルになっているとトランジスタQ3がオフ状態になっており、それによってトランジスタQ2もオフ状態になっている。

【0037】(t=t1~t2)コンデンサC4の両端電圧Vc4がVfbを超えると比較器IC1の出力がHレベルになってオン期間制御回路が動作しようとするが、この時点ではコンデンサC6の両端電圧Vc6がVrefに達していないために比較器IC3の出力がLレベルを保っており、AND回路IC4の出力はLレベルを保っている。すなわち、第1のコンデンサであるコンデンサC4の両端電圧Vc4がVfbを超えることはスイッチング素子Q1のターンオフのトリガとはならず、オン期間制御回路の動作は抑制される。

【0038】(t=t2~t3)コンデンサC6の両端電圧Vc6がVrefを超えると、比較器IC3の出力がHレベルになる。これによって、AND回路IC4の2つの入力とともにHレベルとなり、その出力もHレベルとなり、トランジスタQ4をオンさせる。トランジスタQ4がオンすることによってスイッチング素子Q1がターンオフし、オン期間が終了する。すなわち、第2のコンデンサであるコンデンサC6の両端電圧Vc6が0Vから上昇してVrefと交差することが、スイッチング素子Q1のターンオフのタイミングが決定されるトリガになり、オン期間を決めることになる。言い換えれば、スイッチング素子Q1の最小オン期間がコンデンサC6の両端電圧Vc6が0Vから上昇してVrefを超えるまでの一定の時間で決定される。これよりこの抵抗R6、コンデンサC6、ダイオードD2、基準電圧源Vref、比較器IC3を含む回路が軽負荷時にオン期間制御回路によるスイッチング素子Q1のターンオフ動作を抑制する最小オン期間設定回路となっていることがわかる。

【0039】スイッチング素子Q1がターンオフすると、二次巻線N2から整流平滑回路2に電流が流れ始め、同時に帰還巻線N3の電圧Vbiasが負になるために、コンデンサC4、C5、C6は放電し始める。コンデンサC6が放電を始めるとすぐにその両端電圧Vc6がVrefより低くなるため、比較器IC3の出力はLレベルとなり、AND回路IC4の出力がLレベルとなり、トランジスタQ4はオフ状態に戻る。すなわち、トランジスタQ4はスイッチング素子Q1をターンオフさせるために一時的にオンになるだけである。なお、ダ

イオードD2はコンデンサC6の逆方向への充電を防止するために設けられている。

【0040】(t=t3~t4)スイッチング素子Q1がオフの間に二次巻線N2から整流平滑回路2に流れ出す電流がゼロになると、帰還巻線N3の電圧Vbiasは共振を始める。このとき、トランジスタQ2はオフ状態にあるため、共振する電圧Vbiasがスイッチング素子Q1のゲートに印加されることはなく、電圧Vbiasは共振しながら減衰する。すなわち、共振する電圧Vbiasによるスイッチング素子Q1のターンオンは阻止される。したがって、これ以降は一次巻線N1と二次巻線N2のいずれにも電流が流れない状態となるため、電流臨界モードではなくなる。一方、コンデンサC5は引き続き放電され、その両端電圧Vc5は低下を続ける。また、コンデンサC4、C6も引き続き放電され、その両端電圧Vc4、Vc6は時間とともに0Vに近づいていく。

【0041】(t=t4~)コンデンサC5の両端電圧Vc5が低下してVfbを下回ると比較器IC2の出力がHレベルとなり、トランジスタQ3がオンし、トランジスタQ2がオンする。これによってt=t4となるまでにコンデンサC1に蓄えられた電荷がトランジスタQ2を介してスイッチング素子Q1のゲートに与えられ、スイッチング素子Q1がターンオンする。すなわち、第3のコンデンサであるコンデンサC5の両端電圧Vc5がVfbと交差することがスイッチング素子Q1のターンオンのタイミングを決定するトリガになる。Vfbは負荷が軽くなるほど低下するために、コンデンサC5の両端電圧Vc5が放電によって低下してVfbを下回るまでの時間も負荷が軽いほど長くなる。これより、この抵抗R4、コンデンサC5、ツェナーダイオードD3、比較器IC2、抵抗R5、トランジスタQ3、抵抗R2、コンデンサC2、およびフィードバック電圧発生回路を含む回路が軽負荷時にスイッチング素子Q1のオフ期間を負荷が軽くなるほど長くなるように制御するオフ期間制御回路であることがわかる。なお、この時点までにはコンデンサC6は完全に放電されるようにその容量値や抵抗R6の値が設定されている。これ以後はt=0以降を繰り返す。

【0042】以上、図1と図2を用いて説明したように、スイッチング電源装置1においては、非軽負荷時にはオン期間制御回路によってスイッチング素子のオン期間を制御して出力電圧を一定に保ち、軽負荷時には最小オン期間設定回路によってスイッチング素子のオン期間を最小オン期間に固定するとともにオフ期間制御回路によってオフ期間を制御して出力電圧を一定に保っている。

【0043】これによって、軽負荷時のスイッチング周波数の上昇を抑制するだけでなく、逆に負荷が軽くなるほどスイッチング周波数を低下させることができ、軽負

荷時のスイッチング損失の低減を図ることができる。また、軽負荷時に負荷の大きさに応じてスイッチング素子のオフ期間を連続的に制御することができるために、間欠発振の発生を防止して出力リップルの増大を回避することができる。さらに、軽負荷時と非軽負荷時の境界においてスイッチング素子のスイッチングのデューティに連続性があるため、この境界付近に負荷があるときにスイッチング動作が不連続になるのを防止することができる。

【0044】図3に、本発明のスイッチング電源装置の別の実施例の回路図を示す。図3において、図1と同一もしくは同等の部分には同じ記号を付し、その説明を省略する。

【0045】図3において、スイッチング電源装置10は、帰還巻線N3とスイッチング素子Q1のゲートとの間に設けられた制御回路11において、その主要部が集積回路12で構成されている。以下、集積回路12の構成要素も含めて制御回路11について説明する。

【0046】まず、帰還巻線N3の一端はダイオードD4とコンデンサC8からなる整流平滑回路を介して集積回路12に接続されている。集積回路12の内部の各構成要素にはこの整流平滑回路の出力電圧が供給される。ダイオードD4とコンデンサC8の接続点は起動抵抗R1を介して直流電源Vinに接続されている。

【0047】出力電圧検知回路3のフォトダイオードPDと対になっているフォトトランジスタPTは、コレクタが定電流源Iに接続され、エミッタがグランドに接続され、コレクターエミッタ間にコンデンサC3が接続されており、さらにコレクタは比較器IC6の非反転入力端子および比較器IC8の反転入力端子に接続されている。なお、定電流源IはダイオードD4とコンデンサC8からなる整流平滑回路から集積回路12に供給される電圧から作られる。

【0048】また、帰還巻線N3の一端は比較器IC5の非反転入力端子に接続されている。比較器IC5の反転入力端子には、非反転入力端子の電圧がゼロになったときに比較器IC5の出力がHレベルになるように小さな負の電圧値のオフセット電圧源Voffが接続されている。

【0049】また、帰還巻線N3の一端は抵抗R8とコンデンサC7を順に介してグランドに接続されており、抵抗R8とコンデンサC7の接続点は比較器IC6の反転入力端子および比較器IC8の非反転入力端子に接続されている。なお、コンデンサC7は第1のコンデンサと第3のコンデンサの機能を兼ねている。

【0050】さらに、帰還巻線N3の一端は抵抗R6を介し、さらにダイオードD2と第2のコンデンサであるコンデンサC6の並列回路を介してグランドに接続されており、抵抗R6とコンデンサC6の接続点は比較器IC9の非反転入力端子に接続されている。比較器IC9

の反転入力端子には基準電圧源Vrefが接続されており、その出力はAND回路IC10の一方の入力に接続されている。

【0051】比較器IC5とIC6の出力はAND回路IC7の2つの入力に接続されており、その出力はRSフリップフロップIC11のセット端子Sに接続されている。同様に、比較器IC8とIC9の出力はAND回路IC10の2つの入力に接続されており、その出力はRSフリップフロップIC11のリセット端子Rに接続されている。RSフリップフロップIC11の出力端子Qはドライブ回路13を介してスイッチング素子Q1のゲートに接続されている。なお、RSフリップフロップIC11の反転出力端子は使用しないために省略している。また、ドライブ回路13は集積回路12に供給される電圧を電源としている。

【0052】なお、上記の構成要素の中で集積回路12を構成するのは、定電流源I、比較器IC5、IC6、IC8、IC9、AND回路IC7、IC10、RSフリップフロップIC11、ドライブ回路13、オフセット電圧源Voff、および基準電圧源Vrefである。

【0053】次に、このように構成されたスイッチング電源装置10の動作を、図4を参照して説明する。図4は、スイッチング電源装置10の(a)定格時と(b)軽負荷時における、帰還巻線N3の電圧Vbias、第1のコンデンサと第3のコンデンサを兼ねているコンデンサC7の両端電圧Vc7、第2のコンデンサであるコンデンサC6の両端電圧Vc6の時間変化を示している。ここで、VfbはフォトトランジスタPTのコレクタ電圧で、フィードバック電圧として比較器IC6の非反転入力端子および比較器IC8の反転入力端子に入力されている。Vfbは負荷の変動に従って変動するが、出力電圧が一定の時にはほぼ一定の値になる。また、Vrefは基準電圧源Vrefの電圧で比較器IC9の反転入力端子に接続されている。

【0054】まず、非軽負荷時である非軽負荷時である定格時の動作を時間を追って説明する。

【0055】(t=0からt1)スイッチング素子Q1がターンオンすると一次巻線N1に電流が流れ、同時に帰還巻線N3の電圧Vbiasが正になり、コンデンサC6、C7の充電が始まる。なお、定格時にはVfbは高いレベルにあり、コンデンサC7の両端電圧Vc7の方が低いために、比較器IC6の出力はHレベルに、比較器IC8の出力はLレベルになっている。また、比較器IC5の出力も、非反転入力端子に電圧Vbiasが印加されているためにHレベルになっている。

【0056】(t=t1~t2)コンデンサC6の両端電圧Vc6がVrefを超えると比較器IC9の出力がHレベルになるが、この時点ではコンデンサC7の両端電圧Vc7がVfbを超えていないために比較器IC8の出力がLレベルを保っており、AND回路IC10の



出力はLレベルを保っている。なお、このとき比較器IC6の出力は入力比較器IC8と逆の接続になっているためにHレベルとなっている。

【0057】( $t=t_2 \sim t_3$ ) コンデンサC7の両端電圧 $V_{c7}$ が $V_{fb}$ を超えると、比較器IC8の出力がHレベルになることによって、AND回路IC10の2つの入力がともにHレベルとなり、その出力もHレベルとなる。逆に比較器IC6の出力がLレベルになることによってAND回路IC7の出力はLレベルになる。そして、AND回路10の出力がHレベルになることによって、その立ち上がりトリガとしてRSフリップフロップIC11がリセットされる。RSフリップフロップIC11がリセットされると、その出力がLレベルになり、ドライブ回路13を介してスイッチング素子Q1をターンオフさせ、オン期間が終了する。すなわち、第1のコンデンサであるコンデンサC7の両端電圧 $V_{c7}$ がフィードバック信号によって決定される電圧である $V_{fb}$ と交差することが、スイッチング素子Q1のターンオフのタイミングが決定されるトリガとなり、オン期間を決めることになる。

【0058】フォトランジスタPTは負荷が軽くなってフォトダイオードPDからの受光量が多くなるほどコレクターエミッタ間の抵抗が低下するため、 $V_{fb}$ は負荷が軽くなるほど低下する傾向がある。そのため、コンデンサC7の両端電圧 $V_{c7}$ が $V_{fb}$ を超えるまでの時間は負荷が軽くなるほど短くなる。これより、この抵抗R8、コンデンサC7、比較器IC8、AND回路IC10、RSフリップフロップIC11、ドライブ回路13、およびフィードバック電圧発生回路を含む回路が、非軽負荷時にスイッチング素子Q1のオン期間を負荷が軽くなるほど短くなるように制御するオン期間制御回路であることがわかる。

【0059】スイッチング素子Q1がターンオフすると、二次巻線N2から整流平滑回路2に電流が流れ始め、同時に帰還巻線N3の電圧 $V_{bias}$ が負になるために、コンデンサC6、C7は放電し始める。コンデンサC7が放電を始めるとすぐにその両端電圧 $V_{c7}$ が $V_{fb}$ より低くなるため、比較器IC8の出力はLレベルとなり、AND回路IC10の出力もLレベルとなる。逆に比較器IC6の出力はHレベルになるが、比較器IC5の非反転入力端子に負の電圧 $V_{bias}$ が印加されるためにその出力はLレベルとなりAND回路IC7の出力はLレベルになる。なお、それからしばらくしてコンデンサC6の放電が進むと、その両端電圧 $V_{c6}$ が $V_{ref}$ を下回るために、比較器IC9の出力もLレベルになる。

【0060】また、上記の説明よりわかるように、コンデンサC7の両端電圧 $V_{c7}$ は一旦 $V_{fb}$ を超えてもすぐに $V_{fb}$ より低くなるため、図4に示すように見かけ上は交差ではなく一致した時点でスイッチング素子Q1

のターンオフのタイミングが決定されるように見える。

【0061】( $t=t_3 \sim t_4$ ) スwitching素子Q1がオフの間に二次巻線N2から整流平滑回路2に流れ出す電流がゼロになると、帰還巻線N3の電圧 $V_{bias}$ は共振を始める。

【0062】( $t=t_4 \sim$ ) この共振する電圧 $V_{bias}$ の最初の正電圧方向の波によって比較器IC5の非反転入力端子の電圧が反転入力端子の電圧より高くなり、その出力がHレベルになる。比較器IC6の出力はすでにHレベルになっているために、AND回路IC7の出力もHレベルになり、その立ち上がりトリガとしてRSフリップフロップIC11がセットされる。RSフリップフロップIC11がセットされると、その出力がHレベルになり、ドライブ回路13を介してスイッチング素子Q1をターンオンさせる。すなわち、二次巻線N2から整流平滑回路2に流れ出す電流がゼロになることがスイッチング素子Q1のターンオンのトリガになる。スイッチング素子Q1がターンオンすると電圧 $V_{bias}$ の共振は止まり、 $t=0$ の時と同様に再び正の電圧になる。これ以後は $t=0$ 以降を繰り返す。

【0063】このように、定格時（非軽負荷時）には、一次巻線N1に電流が流れなくなるとすぐに二次巻線N2から整流平滑回路2に電流が流れ出し始め、二次巻線N2から流れ出す電流がゼロになるとすぐにスイッチング素子Q1がターンオンして一次巻線N1に電流が流れ始めることより、スイッチング電源装置10は定格時には電流臨界モードで動作していることがわかる。

【0064】次に、軽負荷時の動作を時間を追って説明する。

【0065】( $t=0 \sim t_1$ ) スwitching素子Q1がターンオンすると一次巻線N1に電流が流れ、同時に帰還巻線N3の電圧 $V_{bias}$ が正になり、コンデンサC6、C7の充電が始まる。このとき、後述のようにスイッチング素子Q1のターンオン時にはコンデンサC6は完全に放電されており、その両端電圧 $V_{c6}$ は0Vとなっている。なお、電圧 $V_{bias}$ が正になることにより比較器IC5の出力はHレベルになる。また、軽負荷時には $V_{fb}$ は低いレベルになっており、コンデンサC7の両端電圧 $V_{c7}$ の方が高いために、比較器IC6の出力はLレベルに、比較器IC8の出力はHレベルになっている。すなわち、第1のコンデンサであるコンデンサC7の両端電圧 $V_{c7}$ の充電による上昇は、スイッチング素子Q1のターンオフのトリガとはなり得ず、オン期間制御回路の動作は抑制される（実質的に動作しない）。さらに、コンデンサC6の両端電圧 $V_{c6}$ は $V_{ref}$ より低いために、比較器IC9の出力はLレベルとなっている。

【0066】( $t=t_1 \sim t_2$ ) コンデンサC6の両端電圧 $V_{c6}$ が $V_{ref}$ を超えると比較器IC9の出力がHレベルになる。比較器IC8の出力はすでにHレベル

になっているために、AND回路IC10の出力もHレベルになる。一方、コンデンサC7の両端電圧Vc7はあらかじめVfbより高いために比較器IC6の出力はLレベルのまま変化せず、AND回路IC7の出力もLレベルのまま変化しない。そして、AND回路IC10の出力がHレベルになることによって、その立ち上がりトリガとしてRSフリップフロップIC11がリセットされる。RSフリップフロップIC11がリセットされると、その出力がLレベルになり、ドライブ回路13を介してスイッチング素子Q1をターンオフさせる。すなわち、第2のコンデンサであるコンデンサC6の両端電圧Vc6が0Vから上昇してVrefと交差することがスイッチング素子Q1のターンオフのタイミングが決定されるトリガになり、オン期間を決めることになる。言い換えれば、スイッチング素子Q1の最小オン期間がコンデンサC6の両端電圧Vc6が0Vから上昇してVrefを超えるまでの時間で決定される。これよりこの抵抗R6、コンデンサC6、ダイオードD2、比較器IC9、および基準電圧源Vrefを含む回路が、軽負荷時にオン期間制御回路によるスイッチング素子のターンオフ動作を抑制する最小オン期間設定回路となっていることがわかる。

【0067】スイッチング素子Q1がターンオフすると、二次巻線N2から整流平滑回路2に電流が流れ始め、同時に帰還巻線N3の電圧Vbiasが負になるために、コンデンサC6、C7は放電し始める。コンデンサC6が放電を始めるとすぐにその両端電圧Vc6がVrefより低くなるため、比較器IC9の出力はLレベルとなり、AND回路IC10の出力もLレベルとなる。

【0068】(t=t2~t3)スイッチング素子Q1がオフの間に二次巻線N2から整流平滑回路2に流れ出す電流がゼロになると、帰還巻線N3の電圧Vbiasは共振を始める。この共振する電圧Vbiasの正電圧方向の波によって比較器IC5の非反転入力端子の電圧が反転入力端子の電圧より高くなり、その出力がHレベルになる。しかしながら、この時点ではまだコンデンサC7の両端電圧Vc7がVfbより高いために比較器IC6の出力はLレベルを維持するため、AND回路IC7の出力もLレベルを維持し、RSフリップフロップIC11がセットされることはない。すなわち、共振する電圧Vbiasによるスイッチング素子Q1のターンオンは阻止される。したがって、これ以降は一次巻線N1と二次巻線N2のいずれにも電流が流れない状態となるため、電流臨界モードではなくなる。電圧Vbiasは共振しながら減衰し、それに応じて比較器IC5の出力はHレベルとLレベルを交互に繰り返す。そして、電圧Vbiasが完全に減衰すると、比較器IC5の非反転入力端子の電圧はゼロになるが、反転入力端子には小さな負の電圧値のオフセット電圧源Voffが接続されて

いるために、その出力はHレベルになる。一方、コンデンサC7は引き続き放電され、その両端電圧Vc7は低下を続ける。また、コンデンサC6も引き続き放電され、その両端電圧Vc6は時間とともに0Vに近づいていく。

【0069】(t=t3~)コンデンサC7の両端電圧Vc7がVfbを下回ると比較器IC6の出力がHレベルとなり、逆に比較器IC8の出力がLレベルとなる。比較器IC5の出力はすでにHレベルになっているために、AND回路IC7の出力もHレベルになり、その立ち上がりトリガとしてRSフリップフロップIC11がセットされる。RSフリップフロップIC11がセットされると、その出力がHレベルになり、ドライブ回路13を介してスイッチング素子Q1をターンオンさせる。すなわち、第3のコンデンサでもあるコンデンサC7の両端電圧Vc7がVfbと交差することがスイッチング素子Q1のターンオンのタイミングを決定するトリガになる。Vfbは負荷が軽くなるほど低下するために、コンデンサC7の両端電圧Vc7が放電によって低下してVfbを下回るまでの時間も負荷が軽いほど長くなる。これより、この抵抗R8、コンデンサC7、比較器IC5、IC6、オフセット電圧源Voff、AND回路IC7、RSフリップフロップIC11、ドライブ回路13、およびフィードバック電圧発生回路を含む回路が、軽負荷時にスイッチング素子Q1のオフ期間を負荷が軽くなるほど長くなるように制御するオフ期間制御回路であることがわかる。なお、この時点までにはコンデンサC6は完全に放電されるようにその容量値や抵抗R6の値が設定されている。これ以後はt=0以降を繰り返す。

【0070】以上、図3と図4を用いて説明したように、スイッチング電源装置10においては、非軽負荷時にはオン期間制御回路によってスイッチング素子のオン期間を制御して出力電圧を一定に保ち、軽負荷時には最小オン期間設定回路によってスイッチング素子のオン期間を最小オン期間に固定するとともにオフ期間制御回路によってオフ期間を制御して出力電圧を一定に保っている。

【0071】これによって、軽負荷時のスイッチング周波数の上昇を抑制するだけでなく、逆に負荷が軽くなるほどスイッチング周波数を低下させることができ、軽負荷時のスイッチング損失の低減を図ることができる。また、軽負荷時に負荷の大きさに応じてスイッチング素子のオフ期間を連続的に制御することができるために、間欠発振の発生を防止して出力リップルの増大を回避することができる。

【0072】なお、上記の説明のように、非軽負荷時すなわちオン期間制御回路が動作しているときには、第1のコンデンサであるコンデンサC7の両端電圧Vc7はフィードバック信号によって決定される電圧であるVf



bに対して低い電圧値から高くなる方向で近づいて交差している。また、軽負荷時すなわち最小オン期間設定回路が動作しているときには、コンデンサV7の両端電圧Vc7はVfbに対して高い電圧から低くなる方向で近づいて交差している。すなわち、第1のコンデンサの両端電圧が、オン期間制御回路が動作している時はフィードバック電圧と一方向から交差する時にスイッチング素子のターンオフのタイミングが決定され、最小オン期間設定回路がオン期間制御回路の動作を抑制しているときは、フィードバック電圧と逆方向から交差する時にスイッチング素子のターンオンのタイミングが決定されている。このように、1つのコンデンサC7が第1のコンデンサと第3のコンデンサの機能を兼ねているため、外付け部品を減らすことができ、スイッチング電源装置の小型化と低コスト化を図ることができる。

【0073】さらに、制御回路の大部分を集積回路化することによっても、部品点数の削減による小型化と低コスト化を図ることができる。

【0074】図5に、本発明のスイッチング電源装置のさらに別の実施例の回路図を示す。図5において、図3と同一もしくは同等の部分には同じ記号を付し、その説明を省略する。

【0075】図5において、スイッチング電源装置20は、帰還巻線N3とスイッチング素子Q1のゲートとの間に設けられた制御回路21において、その主要部が集積回路22で構成されている。以下、集積回路22の構成要素も含めて制御回路21について説明する。

【0076】まず、帰還巻線N3の一端はダイオードD4とコンデンサC8からなる整流平滑回路を介して集積回路22に接続されている。集積回路22の内部の各構成要素にはこの整流平滑回路の出力電圧が供給される。ダイオードD4とコンデンサC8の接続点は起動抵抗R1を介して直流電源Vinに接続されている。

【0077】出力電圧検知回路3のフォトダイオードPDと対になっているフォトトランジスタPTは、コレクタが定電流源Iに接続され、エミッタがグランドに接続され、コレクターエミッタ間にコンデンサC3が接続されており、さらにコレクタは比較器IC6の非反転入力端子およびダイオードD5を介して比較器IC12の反転入力端子に接続されている。また、比較器IC12の反転入力端子には基準電圧源Vrefも接続されている。なお、定電流源IはダイオードD4とコンデンサC8からなる整流平滑回路から集積回路22に供給される電圧から作られる。

【0078】また、帰還巻線N3の一端は比較器IC5の非反転入力端子に接続されている。比較器IC5の反転入力端子には、非反転入力端子の電圧がゼロになったときに出力がHレベルになるように小さな負の電圧値のオフセット電圧源Voffが接続されている。

【0079】また、帰還巻線N3の一端は抵抗R8とコ

ンデンサC7を順に介してグランドに接続されており、抵抗R8とコンデンサC7の接続点は比較器IC6の反転入力端子および比較器IC12の非反転入力端子に接続されている。なお、コンデンサC7は第1のコンデンサと第2のコンデンサと第3のコンデンサの機能を兼ねている。

【0080】比較器IC5とIC6の出力はAND回路IC7の2つの入力に接続されており、その出力はRSフリップフロップIC11のセット端子Sに接続されている。また、比較器IC12の出力はRSフリップフロップIC11のリセット端子RSに接続されている。RSフリップフロップIC11の出力端子Qはドライブ回路13を介してスイッチング素子Q1のゲートに接続されている。なお、ドライブ回路13は集積回路12に供給される電圧を電源としている。

【0081】そして、ドライブ回路13の出力は単安定マルチバイブレータ23と抵抗R9を順に介してトランジスタQ5のベースに接続されており、トランジスタQ5のコレクタは比較器IC6の反転入力端子に、エミッタはグランドにそれぞれ接続されている。

【0082】なお、上記の構成要素の中で集積回路22を構成するのは、定電流源I、ダイオードD5、トランジスタQ5、抵抗R9、単安定マルチバイブレータ23、比較器IC5、IC6、IC12、AND回路IC7、RSフリップフロップIC11、ドライブ回路13、オフセット電圧源Voff、および基準電圧源Vrefである。

【0083】次に、このように構成されたスイッチング電源装置20の動作を、図6を参照して説明する。図6は、スイッチング電源装置20の(a)定格時と(b)軽負荷時における、帰還巻線N3の電圧Vbias、第1のコンデンサと第2のコンデンサと第3のコンデンサを兼ねているコンデンサC7の両端電圧Vc7の時間変化を示している。ここで、VfbはフォトトランジスタPTのコレクタ電圧で、フィードバック電圧として比較器IC6の非反転入力端子およびダイオードD5を介して比較器IC12の反転入力端子に入力されており、負荷の変動に従って変動するが、たとえば定格時で出力電圧が一定の時にはほぼ一定の値になる。また、Vrefは基準電圧源Vrefの電圧で比較器IC12の反転入力端子に接続されている。

【0084】まず、非軽負荷時である定格時の動作を時間を追って説明する。

【0085】(t=0~t1)スイッチング素子Q1がターンオンすると一次巻線N1に電流が流れ、同時に帰還巻線N3の電圧Vbiasが正になり、コンデンサC7の充電が始まる。なお、定格時にはVfbは高いレベルにあり、コンデンサC7が後述のように直前にリセットされているために、その両端電圧Vc7はこの時点ではVfbより低く、比較器IC6の出力はHレベルとな

っている。また、 $V_{fb}$ は $V_{ref}$ よりもさらに高いレベルとなっているために、比較器IC12の反転入力端子にはダイオードD5を介して $V_{fb}$ が印加されており、比較器IC12の出力はLレベルとなっている。また、比較器IC5の出力も、非反転入力端子に電圧 $V_{bias}$ が印加されているためにHレベルとなっている。さらに、AND回路IC7の出力もHレベルになっている。

【0086】( $t=t_1\sim t_2$ )コンデンサC7の両端電圧 $V_c7$ が $V_{ref}$ を超えても、比較器IC12の反転入力端子には $V_{ref}$ より高い $V_{fb}$ が入力されているために、比較器IC12の出力はLレベルを保っている。

【0087】( $t=t_2\sim t_3$ )コンデンサC7の両端電圧 $V_c7$ が $V_{fb}$ を超えると、比較器IC12の出力がHレベルになる。逆に比較器IC6の出力がLレベルになることによってAND回路IC7の出力もLレベルになる。そして、比較器IC12の出力がHレベルになることによって、その立ち上がりトリガとしてRSフリップフロップIC11がリセットされる。RSフリップフロップIC11がリセットされると、その出力がLレベルになり、ドライブ回路13を介してスイッチング素子Q1をターンオフさせ、オン期間が終了する。すなわち、第1のコンデンサであるコンデンサC7の両端電圧 $V_c7$ がフィードバック信号によって決定される電圧である $V_{fb}$ と交差することがスイッチング素子Q1のターンオフのタイミングが決定されるトリガとなり、オン期間を決めることになる。

【0088】フォトランジスタPTは負荷が軽くなってフォトダイオードPDからの受光量が多くなるほどコレクターエミッタ間の抵抗が低下するため、 $V_{fb}$ は負荷が軽くなるほど低下する傾向がある。そのため、コンデンサC7の両端電圧 $V_c7$ が $V_{fb}$ を超えるまでの時間は負荷が軽くなるほど短くなる。これより、この抵抗R8、コンデンサC7、比較器IC12、ダイオードD5、RSフリップフロップIC11、ドライブ回路13、およびフィードバック電圧発生回路を含む回路が非軽負荷時にスイッチング素子Q1のオン期間を負荷が軽くなるほど短くなるように制御するオン期間制御回路であることがわかる。

【0089】スイッチング素子Q1がターンオフすると、二次巻線N2から整流平滑回路2に電流が流れ始め、同時に帰還巻線N3の電圧 $V_{bias}$ が負になるために、コンデンサC7は放電し始める。コンデンサC7が放電を始めるとすぐにその両端電圧 $V_c7$ が $V_{fb}$ より低くなるため、比較器IC12の出力はLレベルとなる。逆に比較器IC6の出力はHレベルになるが、比較器IC5の非反転入力端子に負の電圧 $V_{bias}$ が印加されるためにその出力はLレベルとなりAND回路IC7の出力もLレベルになる。

【0090】また、上記の説明よりわかるように、コンデンサC7の両端電圧 $V_c7$ は一旦 $V_{fb}$ を超えてもすぐに $V_{fb}$ より低くなるため、図6に示すように見かけ上は交差ではなく一致した時点でスイッチング素子Q1のターンオフのタイミングが決定されるように見える。

【0091】( $t=t_3\sim t_4$ )スイッチング素子Q1がオフの間に二次巻線N2から整流平滑回路2に流れ出す電流がゼロになると、帰還巻線N3の電圧 $V_{bias}$ は共振を始める。

【0092】( $t=t_4\sim$ )この共振する電圧 $V_{bias}$ の最初の正電圧方向の波によって比較器IC5の非反転入力端子の電圧が反転入力端子の電圧より高くなり、その出力がHレベルになる。比較器IC6の出力はすでにHレベルになっているために、AND回路IC7の出力もHレベルになり、その立ち上がりトリガとしてRSフリップフロップIC11がセットされる。RSフリップフロップIC11がセットされると、その出力がHレベルになり、ドライブ回路13を介してスイッチング素子Q1をターンオンさせる。すなわち、二次巻線N2から整流平滑回路2に流れ出す電流がゼロになることがスイッチング素子Q1のターンオンのトリガになる。スイッチング素子Q1がターンオンすると電圧 $V_{bias}$ の共振は止まり、再び正の電圧になる。

【0093】ドライブ回路13からスイッチング素子Q1をターンオンさせるための出力は、同時に単安定マルチバイブレータ23にもトリガ信号として入力される。これによって単安定マルチバイブレータ23の出力は一時的にHレベルになり、これが抵抗R9を介してトランジスタQ5のベースに印加されることによってトランジスタQ5が一時的にオン状態になる。トランジスタQ5がオン状態になることによってコンデンサC7に蓄えられていた電荷が瞬時に放電され、コンデンサC7の両端電圧 $V_c7$ は0Vにリセットされる。これ以後は $t=0$ 以降を繰り返す。

【0094】このように、定格時(非軽負荷時)には、一次巻線N1に電流が流れなくなるとすぐに二次巻線N2から整流平滑回路2に電流が流れ出し始め、二次巻線N2から流れ出す電流がゼロになるとすぐにスイッチング素子Q1がターンオンして一次巻線N1に電流が流れ始めることより、スイッチング電源装置20は定格時には電流臨界モードで動作していることがわかる。

【0095】次に、軽負荷時の動作を時間を追って説明する。

【0096】( $t=0\sim t_1$ )スイッチング素子Q1がターンオンすると一次巻線N1に電流が流れ、同時に帰還巻線N3の電圧 $V_{bias}$ が正になり、コンデンサC7の充電が始まる。なお、電圧 $V_{bias}$ が正になることにより比較器IC5の出力はHレベルになる。また、軽負荷時には $V_{fb}$ は $V_{ref}$ よりさらに低いレベルになるために、比較器IC12の反転入力端子には $V_{ref}$



fが印加されている。コンデンサC7が後述のように直前にリセットされているために、その両端電圧Vc7はこの時点ではほぼ0VとなっておりVrefより低い。そのために、比較器IC6の出力はHレベルに、比較器IC12の出力はLレベルになっている。

【0097】(t=t1~t2)コンデンサC7の両端電圧Vc7がVfbを超えると比較器IC6の出力がLレベルになる。一方、比較器IC12においてはまだ反転入力端子に印加されている電圧Vrefの方が高いので、その出力はLレベルのまま変化しない。すなわち、第1のコンデンサであるコンデンサC7の両端電圧Vc7がVfbを超えることはスイッチング素子Q1のターンオフのトリガとはならず、オン期間制御回路の動作は抑制される。

【0098】(t=t2~t3)コンデンサC7の両端電圧Vc7がVrefを超えると比較器IC12の出力がHレベルになり、その立ち上がりトリガとしてRSフリップフロップIC11がリセットされる。RSフリップフロップIC11がリセットされると、その出力がLレベルになり、ドライブ回路13を介してスイッチング素子Q1をターンオフさせる。すなわち、第2のコンデンサでもあるコンデンサC7の両端電圧Vc7が上昇してVrefと交差することがスイッチング素子Q1のターンオフのタイミングが決定されるトリガになり、オン期間を決めることになる。言い換えれば、スイッチング素子Q1の最小オン期間がコンデンサC7の両端電圧Vc7が上昇してVrefを超えるまでの時間で決定される。これよりこの抵抗R8、コンデンサC7、比較器IC12、基準電圧源Vrefを含む回路が軽負荷時にオン期間制御回路によるスイッチング素子のターンオフ動作を抑制する最小オン期間設定回路となっていることがわかる。なお、コンデンサC7の両端電圧Vc7がVrefを超えるまでの期間が最小オン期間になる理由については後述する。また、最小オン期間設定回路には上記の他に単安定マルチバイブレータ23、抵抗R9、およびトランジスタQ5も含まれるが、その理由についても後述する。

【0099】スイッチング素子Q1がターンオフすると、二次巻線N2から整流平滑回路2に電流が流れ始め、同時に帰還巻線N3の電圧Vbiasが負になるために、コンデンサC7は放電し始める。コンデンサC7が放電を始めるとすぐにその両端電圧Vc7がVrefより低くなるため、比較器IC12の出力はLレベルとなる。

【0100】(t=t3~t4)スイッチング素子Q1がオフの間に二次巻線N2から整流平滑回路2に流れ出す電流がゼロになると、帰還巻線N3の電圧Vbiasは共振を始める。この共振する電圧Vbiasの正電圧方向の波によって比較器IC5の非反転入力端子の電圧が反転入力端子の電圧より高くなり、その出力がHレベ

ルになる。しかしながら、この時点ではまだコンデンサC7の両端電圧Vc7がVfbより高いために比較器IC6の出力はLレベルを維持するため、AND回路IC7の出力もLレベルを維持し、RSフリップフロップIC11がセットされることはない。すなわち、共振する電圧Vbiasによるスイッチング素子Q1のターンオンは阻止される。したがって、これ以降は一次巻線N1と二次巻線N2のいずれにも電流が流れない状態となるため、電流臨界モードではなくなる。電圧Vbiasは共振しながら減衰し、それに応じて比較器IC5の出力はHレベルとLレベルを交互に繰り返す。そして、電圧Vbiasが完全に減衰すると、比較器IC5の非反転入力端子の電圧はゼロになるが、反転入力端子には小さな負の電圧値のオフセット電圧源Voffが接続されているために、その出力はHレベルになる。一方、コンデンサC7は引き続き放電され、その両端電圧Vc7は低下を続ける。

【0101】(t=t4~)コンデンサC7の両端電圧Vc7がVfbを下回ると比較器IC6の出力がHレベルとなる。比較器IC5の出力はすでにHレベルになっているために、AND回路IC7の出力もHレベルになり、その立ち上がりトリガとしてRSフリップフロップIC11がセットされる。RSフリップフロップIC11がセットされると、その出力がHレベルになり、ドライブ回路13を介してスイッチング素子Q1をターンオンさせる。すなわち、第3のコンデンサでもあるコンデンサC7の両端電圧Vc7がVfbと交差することがスイッチング素子Q1のターンオンのタイミングを決定するトリガになる。Vfbは負荷が軽くなるほど低下するために、コンデンサC7の両端電圧Vc7が放電によって低下してVfbを下回るまでの時間も負荷が軽いほど長くなる。これより、この抵抗R8、コンデンサC7、比較器IC5、IC6、オフセット電圧源Voff、AND回路IC7、RSフリップフロップIC11、ドライブ回路13、およびフィードバック電圧発生回路を含む回路が、軽負荷時にスイッチング素子Q1のオフ期間を負荷が軽くなるほど長くなるように制御するオフ期間制御回路であることがわかる。

【0102】ドライブ回路13からスイッチング素子Q1をターンオンさせるための出力は、同時に単安定マルチバイブレータ23にもトリガ信号として入力される。これによって単安定マルチバイブレータ23の出力は一時的にHレベルになり、これが抵抗R9を介してトランジスタQ5のベースに印加されることによってトランジスタQ5が一時的にオン状態になる。トランジスタQ5がオン状態になることによってコンデンサC7に蓄えられていた電荷が瞬時に放電され、コンデンサC7の両端電圧Vc7は0Vにリセットされる。これ以後はt=0以降を繰り返す。

【0103】最後にコンデンサC7の両端電圧Vc7が

Vref を超えるまでの期間が最小オン期間になる理由と、最小オン期間設定回路に単安定マルチバイブレータ 23、抵抗 R9、およびトランジスタ Q5 が含まれる理由について説明する。単安定マルチバイブレータ 23 が無い場合を仮定すると、スイッチング素子 Q1 がターンオンした後のコンデンサ C7 の充電はその両端電圧 Vc7 があらかじめ Vf b まで充電されている状態から始まる。Vref は一定だが Vf b は負荷の大きさによって変化するために、コンデンサ C7 の両端電圧 Vc7 が Vf b から Vref まで充電される時間は負荷の大きさによって変化することになる。この時間は軽負荷時のオン期間に相当するために、このままでは軽負荷時のオン期間が変動し、最小オン期間を設定することができなくなるという問題が発生する。これに対して、スイッチング素子 Q1 のターンオン時に単安定マルチバイブレータ 23 によってコンデンサ C7 をリセットすると、コンデンサ C7 は常に 0 V から Vref まで充電されることになり、充電時間が一定になる。これによって、軽負荷時に負荷の大きさによらず最小オン期間を設定することができるようになる。したがって、最小オン期間設定回路には単安定マルチバイブレータ 23、抵抗 R9、およびトランジスタ Q5 も含まれることになる。

【0104】以上、図 5 と図 6 を用いて説明したように、スイッチング電源装置 20 においては、非軽負荷時にはオン期間制御回路によってスイッチング素子のオン期間を制御して出力電圧を一定に保ち、軽負荷時には最小オン期間設定回路によってスイッチング素子のオン期間を最小オン期間に固定するとともにオフ期間制御回路によってオフ期間を制御して出力電圧を一定に保っている。

【0105】これによって、軽負荷時のスイッチング周波数の上昇を抑制するだけでなく、逆に負荷が軽くなるほどスイッチング周波数を低下させることができ、軽負荷時のスイッチング損失の低減を図ることができる。また、軽負荷時に負荷の大きさに応じてスイッチング素子のオフ期間を連続的に制御することができるために、間欠発振の発生を防止して出力リップルの増大を回避することができる。

【0106】なお、上記の説明のように、非軽負荷時すなわちオン期間制御回路が動作しているときには、第 1 のコンデンサであるコンデンサ C7 の両端電圧 Vc7 はフィードバック信号によって決定される電圧である Vf b に対して低い電圧値から高くなる方向で近づいて交差している。また、軽負荷時すなわち最小オン期間設定回路が動作しているときには、コンデンサ V7 の両端電圧 Vc7 は Vf b に対して高い電圧から低くなる方向で近づいて交差している。すなわち、第 1 のコンデンサの両端電圧が、オン期間制御回路が動作している時はフィードバック電圧と一方向から交差する時にスイッチング素子のターンオフのタイミングが決定され、最小オン期間

設定回路がオン期間制御回路の動作を抑制しているときは、フィードバック電圧と逆方向から交差する時にスイッチング素子のターンオンのタイミングが決定されている。このように、1 つのコンデンサ C7 が第 1 のコンデンサと第 3 のコンデンサの機能を兼ねているため、外付け部品を減らすことができ、スイッチング電源装置の小型化と低コスト化を図ることができる。

【0107】また、1 つのコンデンサ C7 が第 1 のコンデンサと第 2 のコンデンサと第 3 のコンデンサの機能を兼ねているため、外付け部品をさらに減らすことができ、スイッチング電源装置のさらなる小型化と低コスト化を図ることができる。

【0108】なお、上記の各実施例においては、最小オン期間設定回路は、いずれも軽負荷時にオン期間制御回路によってスイッチング素子がターンオンするのを禁止するように働いている。その意味において、最小オン期間設定回路は、オン期間制御回路に実質的に含まれていて、軽負荷時にスイッチング素子のターンオンから一定期間だけオン期間制御回路の動作を抑制してスイッチング素子のターンオフを禁止する手段であると言ってもよい。

【0109】また、上記の各実施例においては、第 1、第 2、第 3 のコンデンサの両端電圧が充電もしくは放電によって基準電圧あるいはフィードバック電圧と交差する時点でスイッチング素子のターンオンあるいはターンオフのトリガがかかるようになっているが、いずれも実施例に示した構成に限定されるものではない。例えばフィードバック電圧を負荷が軽くなるほど高くなるように設定しておいて、実施例においては充電時に基準電圧あるいはフィードバック電圧と交差するようになっていたものを放電時に交差するようになり、逆に放電時に基準電圧あるいはフィードバック電圧と交差するようになっていたものを充電時に交差するようにしても構わないものである。

【0110】さらには、上記の各実施例においては、第 1、第 2、第 3 のコンデンサの両端電圧が基準電圧あるいはフィードバック電圧と交差する時点でスイッチング素子のターンオンあるいはターンオフのトリガがかかるようになっているが、実際の動作では見かけ上は一致した時点でスイッチング素子のターンオンあるいはターンオフのトリガがかかるようになっている。このように、第 1、第 2、第 3 のコンデンサの両端電圧と基準電圧あるいはフィードバック電圧は必ずしも交差しなければならないものではなく、例えば比較回路に代えて 2 つの入力が一致した時点でトリガ信号を出力するような回路を用いても構わない。その場合には、第 1、第 2、第 3 のコンデンサの両端電圧が基準電圧あるいはフィードバック電圧と一致する時点でスイッチング素子のターンオンあるいはターンオフのトリガがかかるようになる。

【0111】図 7 に、本発明の電子装置の一実施例の斜

視図を示す。図 7 において、電子装置の 1 つであるプリンタ 30 は電源回路の一部として本発明のスイッチング電源装置 1 を使用している。

【0112】プリンタ 30 の印刷動作に関する部分は、印刷時には電力を消費するが、印刷動作をしない待機時には軽負荷となり、ほとんど電力を消費しない。そして、本発明のスイッチング電源装置 1 を用いているために、待機時すなわち軽負荷時の電力損失を低減し、効率の向上を図ることができる。

【0113】なお、図 7 に示したプリンタ 30 においては図 1 に示したスイッチング電源装置 1 を使用したが、図 3 または図 5 に示したスイッチング電源装置 10、20 を使用しても構わないもので、同様の作用効果を奏するものである。

【0114】また、本発明の電子装置はプリンタに限られるものではなく、ノートパソコンや携帯情報機器など、電圧の安定な直流電源の必要なあらゆる電子装置を含むものである。

【0115】

【発明の効果】本発明のスイッチング電源装置によれば、フィードバック信号に基づいて出力電圧が一定になるように、非軽負荷時に所定の最小オン期間より大きい範囲でオン期間を制御し、軽負荷時にオン期間を最小オン期間に固定してオフ期間を制御することによって、軽負荷時のスイッチング損失の低減を図ることができる。また、軽負荷時の間欠発振の発生とリップルの増大を防止することができる。

【0116】また、本発明の電子装置においては、本発明のスイッチング電源装置を用いることによって、待機時の効率の向上を図ることができる。

【図面の簡単な説明】

【図 1】本発明のスイッチング電源装置の一実施例を示す回路図である。

【図 2】図 1 のスイッチング電源装置の (a) 定格時と (b) 軽負荷時における、 $V_{bias}$ 、 $V_{c4}$ 、 $V_{c5}$ 、 $V_{c6}$  の時間変化を示す特性図である。

【図 3】本発明のスイッチング電源装置の別の実施例を示す回路図である。

【図 4】図 3 のスイッチング電源装置の (a) 定格時と (b) 軽負荷時における、 $V_{bias}$ 、 $V_{c6}$ 、 $V_{c7}$

の時間変化を示す特性図である。

【図 5】本発明のスイッチング電源装置のさらに別の実施例を示す回路図である。

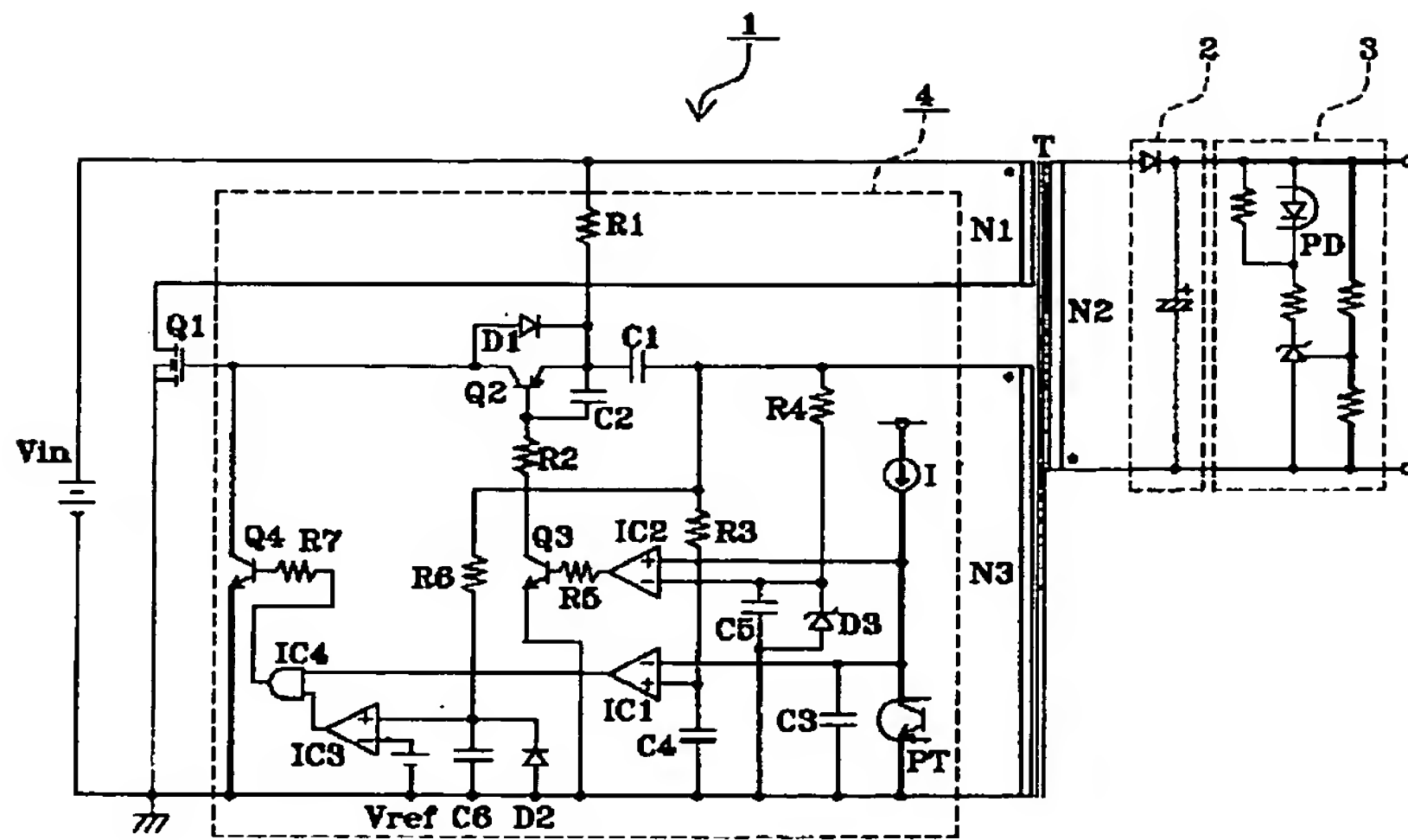
【図 6】図 5 のスイッチング電源装置の (a) 定格時と (b) 軽負荷時における、 $V_{bias}$ 、 $V_{c7}$  の時間変化を示す特性図である。

【図 7】本発明の電子装置の一実施例を示す斜視図である。

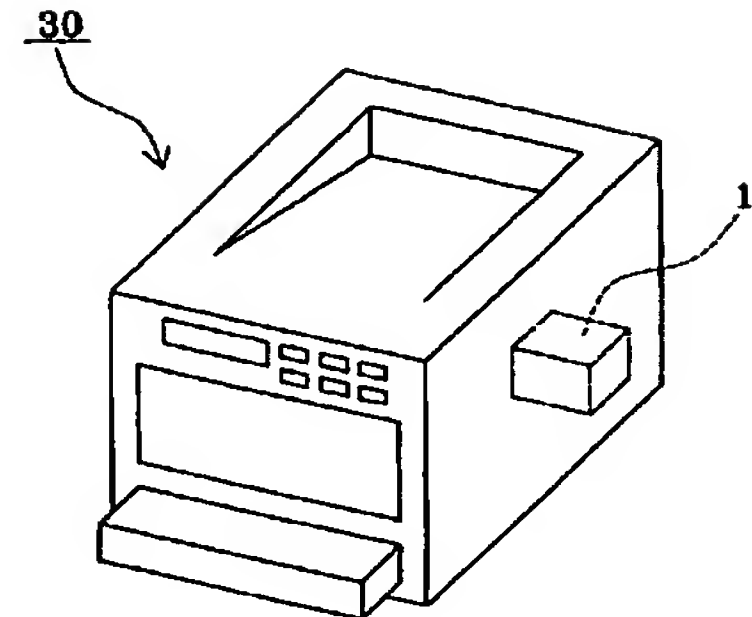
【符号の説明】

- 1、10、20…スイッチング電源装置
- 2…整流平滑回路
- 3…出力電圧検知回路
- 4、11、21…制御回路
- 12、22…集積回路
- 13…ドライブ回路
- 22…単安定マルチバイブレータ
- 30…プリンタ
- T…トランス
- N1…一次巻線
- N2…二次巻線
- N3…帰還巻線
- $V_{in}$ …直流電源
- R1…起動抵抗
- R2、R3、R4、R5、R6、R7、R8、R9…抵抗
- C1、C2、C3、C4、C5、C6、C7、C8…コンデンサ
- Q1…スイッチング素子
- Q2、Q3、Q4…トランジスタ
- D1、D2、D4…ダイオード
- D3…ツェナーダイオード
- I…定電流源
- $V_{ref}$ …基準電圧源
- $V_{off}$ …オフセット電圧源
- PD…フォトダイオード
- PT…フォトトランジスタ
- IC1、IC2、IC3、IC5、IC6、IC8、IC9…比較器
- IC4、IC7、IC10…AND 回路
- IC11…RS フリップフロップ

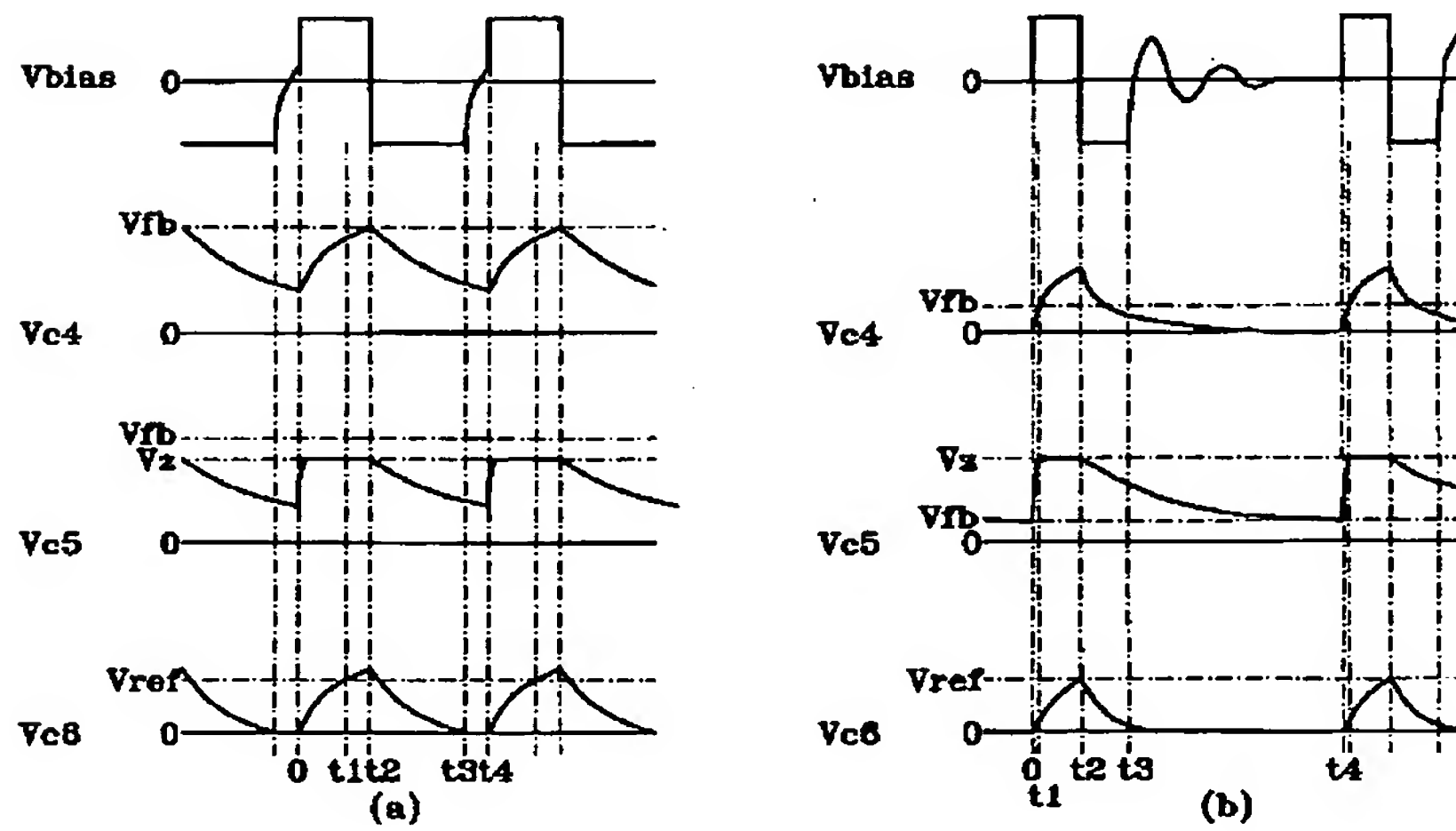
【図1】



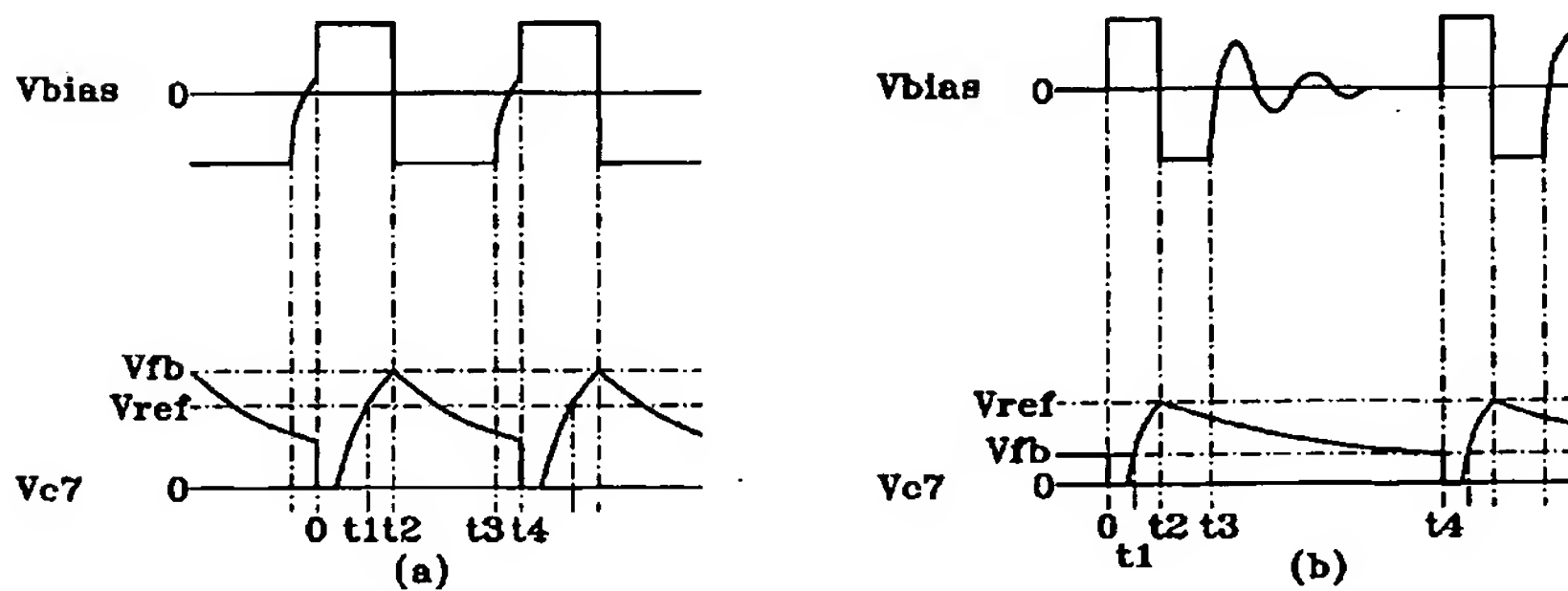
【図7】



【図2】



【図6】





[illegible]

Figure 10.10 shows the timing diagrams for the two-stage CMOS op-amp. (a) shows the ideal case where the feedback voltage  $V_{fb}$  is constant at  $V_{ref}$  and the output  $V_{c7}$  settles to  $V_{ref}$  after each input transition. (b) shows the effect of parasitic capacitance, where  $V_{fb}$  and  $V_{c7}$  exhibit ringing and multiple settling phases.

[illegible]